

#3  
A.A.  
2/1/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Jun Koyama  
Serial No. : Unassigned  
Filed : July 26, 2001  
Title : ELECTRO-OPTICAL DEVICE AND DRIVING METHOD OF THE SAME

Art Unit : Unknown  
Examiner : Unknown

J1046 U.S. PTO

09/912596



07/26/01

Commissioner for Patents  
Washington, D.C. 20231

**TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119**

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application:

**Japan Application No. 2000-240324 filed August 8, 2000**

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: July 26, 2001

  
\_\_\_\_\_  
John F. Hayden  
Reg. No. 37,640

Fish & Richardson P.C.  
601 Thirteenth Street, NW  
Washington, DC 20005  
Telephone: (202) 783-5070  
Facsimile: (202) 783-2331

40063482.doc

**Best Available Copy**

日本国特許庁  
JAPAN PATENT OFFICE

J1046 U.S. F  
09/912596  
07/26/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日  
Date of Application:

2000年 8月 8日

出願番号  
Application Number:

特願2000-240324

出願人  
Applicant(s):

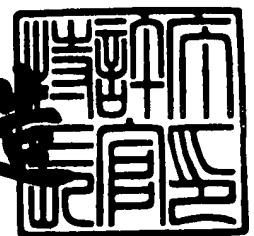
株式会社半導体エネルギー研究所

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 6月12日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3055060

【書類名】 特許願

【整理番号】 P005129

【提出日】 平成12年 8月 8日

【あて先】 特許庁長官 及川 耕造 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学装置

【特許請求の範囲】

【請求項 1】

$n$  ビット ( $n$  は自然数、 $n \geq 2$ ) のデジタル映像信号を用いて映像の表示を行う電気光学装置において、

1 つの画素が  $n \times m$  個 ( $m$  は自然数) の記憶回路を有することを特徴とする電気光学装置。

【請求項 2】

$n$  ビット ( $n$  は自然数、 $n \geq 2$ ) のデジタル映像信号を用いて映像の表示を行う電気光学装置において、

1 つの画素が  $n \times m$  個 ( $m$  は自然数) の記憶回路を有し、最大  $m$  フレーム分のデジタル映像信号を記憶することを特徴とする電気光学装置。

【請求項 3】

$n$  ビット ( $n$  は自然数、 $n \geq 2$ ) のデジタル映像信号を用いて映像の表示を行う電気光学装置において、

1 つの画素が  $n \times m$  個 ( $m$  は自然数) の記憶回路を有し、

前記電気光学装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、第 1 のラッチ回路において前記デジタル映像信号の保持を行う手段と、

前記第 1 のラッチ回路に保持された前記デジタル映像信号を、第 2 のラッチ回路に転送する手段と、

前記第 2 のラッチ回路に保持された前記デジタル映像信号を、前記記憶回路に記憶する手段と、

前記記憶回路に記憶されたデジタル映像信号を読み出して映像の表示を行う手段と、

を有することを特徴とする電気光学装置。

【請求項 4】

$n$  ビット ( $n$  は自然数、 $n \geq 2$ ) のデジタル映像信号を用いて映像の表示を行う電気光学装置において、

1 つの画素が  $n \times m$  個 ( $m$  は自然数) の記憶回路を有し、

前記電気光学装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、ラッチ回路において前記デジタル映像信号の保持を行う手段と、

前記ラッチ回路に保持された前記デジタル映像信号を、前記記憶回路に記憶する手段と、

前記記憶回路に記憶されたデジタル映像信号を読み出して映像の表示を行う手段と、

を有することを特徴とする電気光学装置。

【請求項 5】

$n$  ビット ( $n$  は自然数、 $n \geq 2$ ) のデジタル映像信号を用いて映像の表示を行う電気光学装置において、

1 つの画素が  $n \times m$  個 ( $m$  は自然数) の記憶回路を有し、

前記電気光学装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、第 1 のラッチ回路において前記デジタル映像信号の保持を行う手段と、

前記第 1 のラッチ回路に保持された前記デジタル映像信号を、第 2 のラッチ回路に転送する手段と、

前記第 2 のラッチ回路に保持された前記デジタル映像信号を、前記記憶回路に記憶する手段と、

前記記憶回路に記憶されたデジタル映像信号を読み出して映像の表示を行う手段と、

前記記憶回路から読み出されたデジタル映像信号を再度前記記憶回路に記憶する手段と、

を有することを特徴とする電気光学装置。

【請求項 6】

$n$ ビット ( $n$ は自然数、 $n \geq 2$ ) のデジタル映像信号を用いて映像の表示を行う電気光学装置において、

1つの画素が  $n \times m$  個 ( $m$ は自然数) の記憶回路を有し、

前記電気光学装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、ラッチ回路において前記デジタル映像信号の保持を行う手段と、

前記ラッチ回路に保持された前記デジタル映像信号を、前記記憶回路に記憶する手段と、

前記記憶回路に記憶されたデジタル映像信号を読み出して映像の表示を行う手段と、

前記記憶回路から読み出されたデジタル映像信号を再度前記記憶回路に記憶する手段と、

を有することを特徴とする電気光学装置。

【請求項 7】

基板上に複数の画素を有する電気光学装置において、

前記複数の画素は、複数の記憶回路を有し、

1 フレーム期間中に、前記記憶回路に記憶されたデジタル映像信号を読み出し

時間階調方式によって階調表示を行うことを特徴とする電気光学装置。

【請求項 8】

請求項 1 乃至請求項 4 または請求項 7 のいずれか 1 項に記載の電気光学装置において、

前記記憶回路はスタティック型メモリ (SRAM) であることを特徴とする電

電気光学装置。

【請求項 9】

請求項 1 乃至請求項 4 または請求項 7 のいずれか 1 項に記載の電気光学装置において、

前記記憶回路は強誘電体メモリ（F R A M）であることを特徴とする電気光学装置。

【請求項 1 0】

請求項 1 または請求項 2 または請求項 5 乃至請求項 7 のいずれか 1 項に記載の電気光学装置において、

前記記憶回路はダイナミック型メモリ（D R A M）であることを特徴とする電気光学装置。

【請求項 1 1】

請求項 1 乃至請求項 1 0 のいずれか 1 項に記載の電気光学装置において、  
静止画像の表示期間においては、

前記記憶回路に記憶されたデジタル映像信号を繰り返し読み出して静止画像の表示を行うことにより、

ソース信号線駆動回路を停止することを特徴とする電気光学装置。

【請求項 1 2】

請求項 1 乃至請求項 1 1 のいずれか 1 項に記載の電気光学装置において、

前記記憶回路は、ゲート信号線 1 ラインごとに選択的に書き換えが可能であることを特徴とする電気光学装置。

【請求項 1 3】

請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の電気光学装置において、

前記記憶回路は、ガラス基板上に形成されていることを特徴とする電気光学装置。

【請求項 1 4】

請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の電気光学装置において、

前記記憶回路は、プラスチック基板上に形成されていることを特徴とする電気光学装置。

【請求項 1 5】

請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の電気光学装置において、  
前記記憶回路は、ステンレス基板上に形成されていることを特徴とする電気光学装置。

【請求項 1 6】

請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の電気光学装置において、  
前記記憶回路は、単結晶ウェハ上に形成されていることを特徴とする電気光学装置。

【請求項 1 7】

請求項 1 乃至請求項 1 6 のいずれか 1 項に記載の電気光学装置を用いることを特徴とするテレビ。

【請求項 1 8】

請求項 1 乃至請求項 1 6 のいずれか 1 項に記載の電気光学装置を用いることを特徴とするパーソナルコンピュータ。

【請求項 1 9】

請求項 1 乃至請求項 1 6 のいずれか 1 項に記載の電気光学装置を用いることを特徴とする携帯端末。

【請求項 2 0】

請求項 1 乃至請求項 1 6 のいずれか 1 項に記載の電気光学装置を用いることを特徴とするビデオカメラ。

【請求項 2 1】

請求項 1 乃至請求項 1 6 のいずれか 1 項に記載の電気光学装置を用いることを特徴とするヘッドマウントディスプレイ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電気光学装置の駆動回路および駆動回路を用いた電気光学装置に関し、特に、絶縁体上に作成される薄膜トランジスタを有するアクティブマトリクス型電気光学装置の駆動回路および駆動回路を用いたアクティブマトリクス型電



気光学装置に関する。その中で特に、映像ソースとしてデジタル映像信号を用い、画素部に有機エレクトロルミネッセンス（E L）素子を始めとする自発光素子を用いたアクティブマトリクス型電気光学装置の駆動回路および駆動回路を用いたアクティブマトリクス型電気光学装置に関する。

## 【 0 0 0 2 】

## 【従来の技術】

近年、絶縁体上、特にガラス基板上に半導体薄膜を形成した電気光学装置、特に薄膜トランジスタ（以下T F Tと表記する）を用いたアクティブマトリクス型電気光学装置の普及が顕著となっている。T F Tを使用したアクティブマトリクス型電気光学装置は、マトリクス状に配置された数十万から数百万のT F Tを有し、各画素の電荷を制御することによって画像の表示を行っている。

## 【 0 0 0 3 】

さらに最近の技術として、画素を構成する画素T F Tの他に、画素部の周辺部に、T F Tを用いて駆動回路を同時形成するポリシリコンT F Tに関する技術が発展してきており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル機器の表示部等に、電気光学装置は不可欠なデバイスとなってきている。

## 【 0 0 0 4 】

また、L C D（液晶ディスプレイ）に替わるフラットパネルディスプレイとして、有機E L等の自発光材料を応用した、電気光学装置が注目を集めており、活発な研究が行われている。

## 【 0 0 0 5 】

通常のデジタル方式の電気光学装置の概略図を、図 1 3 に示す。中央に画素部 1 3 0 7 が配置されている。画素部には、ソース信号線、ゲート信号線に加え、E L素子に電流を供給するための、電流供給線 1 3 0 6 が配置されている。画素部の上側には、ソース信号線を制御するための、ソース信号線駆動回路 1 3 0 1 が配置されている。ソース信号線駆動回路 1 3 0 1 は、シフトレジスタ回路 1 3 0 3、第1のラッチ回路 1 3 0 4、第2のラッチ回路 1 3 0 5等を有する。画素部の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路 1 3 0 2

が配置されている。なお、図13においては、ゲート信号線駆動回路1302は、画素部の左右両側に配置されているが、片側配置でも構わない。ただし、両側配置とした方が、駆動効率、駆動信頼性の面から見て望ましい。

#### 【0006】

ソース信号線駆動回路1301に関しては、図14に示すような構成を有しており、シフトレジスタ回路(SR)1401、第1のラッチ回路(LAT1)1402、第2のラッチ回路(LAT2)1403等を有する。なお、図14では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。

#### 【0007】

図13および図14を用いて動作について簡単に説明する。まず、シフトレジスタ回路1303(図14中、SRと表記)にクロック信号(S-CLK、S-CLKb)およびスタートパルス(S-SP)が入力され、順次パルスが出力される。続いて、それらのパルスは第1のラッチ回路1304(図14中、LAT1と表記)に入力され、同じく第1のラッチ回路1304に入力されたデジタル映像信号(Digital Data)をそれぞれ保持していく。第1のラッチ回路1304において、1水平周期、それぞれ1ビット分のデジタル映像信号の保持が完了すると、帰線期間中に、第1のラッチ回路1304で保持されているデジタル映像信号は、ラッチ信号(Latch Pulse)の入力に従い、一斉に第2のラッチ回路1305(図14中、LAT2と表記)へと転送される。

#### 【0008】

一方、ゲート信号線側駆動回路1302において、シフトレジスタ(図示せず)に、ゲート側クロック信号(G-CLK)、ゲート側スタートパルス(G-SP)が入力される。シフトレジスタは、これら入力信号に基づいて、順次パルスを出し、バッファ等(図示せず)を経由して、ゲート信号線選択パルスとして出力され、順次ゲート信号線を選択していく。

#### 【0009】

ソース信号線側駆動回路1301の第2のラッチ回路1305に転送されたデータは、ゲート信号線選択パルスによって選択されている列の画素に書き込まれ

る。

#### 【0010】

続いて、画素部1307の駆動について説明する。図19に、図13の画素部1307の一部を示す。図19(A)は、3×3画素のマトリクスを示している。点線枠1900にて囲まれた部分が1画素であり、図19(B)にその拡大図を示す。図19(B)において、1901は、画素に信号を書き込む時のスイッチング素子として機能するTFT（以下、スイッチング用TFTという）である。このスイッチング用TFT1901にはNチャネル型もしくはPチャネル型のいずれの極性を用いても良い。1902はEL素子1903に供給する電流を制御するための素子（電流制御素子）として機能するTFT（以下、EL駆動用TFTという）である。EL駆動用TFT1902にPチャネル型を用いる場合には、EL素子1903の陽極1909と電流供給線1907との間に配置する。別の構成方法として、EL駆動用TFT1902にNチャネル型を用いて、EL素子1903の陰極1910と陰極電極1908との間に配置したりすることも可能である。しかし、TFTの動作としてソース接地が良いこと、EL素子1903の製造上の制約などから、EL駆動用TFT1902にはPチャネル型を用い、EL素子1903の陽極1909と電流供給線1907との間にEL駆動用TFT1902を配置する方式が一般的であり、多く採用されている。1904は、ソース信号線1906から入力される信号（電圧）を保持するための保持容量である。図19(B)での保持容量1904の一方の端子は、電流供給線1907に接続されているが、専用の配線を用いることもある。スイッチング用TFT1901のゲート電極は、ゲート信号線1905に、ソース領域は、ソース信号線1906に接続されている。

#### 【0011】

次に、同図19を参照して、アクティブマトリクス型電気光学装置の回路の動作について説明する。まず、ゲート信号線1905が選択されると、スイッチング用TFT1901のゲート電極に電圧が印加され、スイッチング用TFT1901が導通状態になる。すると、ソース信号線1906の信号（電圧）が保持容量1904に蓄積される。保持容量1904の電圧は、EL駆動用TFT190

2 のゲート・ソース間電圧  $V_{GS}$  となるため、保持容量 1 9 0 4 の電圧に応じた電流が E L 駆動用 T F T 1 9 0 2 と E L 素子 1 9 0 3 に流れる。その結果、E L 素子 1 9 0 3 が点灯する。

#### 【 0 0 1 2 】

E L 素子 1 9 0 3 の輝度、つまり E L 素子 1 9 0 3 を流れる電流量は、E L 駆動用 T F T 1 9 0 2 の  $V_{GS}$  によって制御出来る。 $V_{GS}$  は、保持容量 1 9 0 4 の電圧であり、それはソース信号線 1 9 0 6 に入力される信号（電圧）である。つまり、ソース信号線 1 9 0 6 に入力される信号（電圧）を制御することによって、E L 素子 1 9 0 3 の輝度を制御する。最後に、ゲート信号線 1 9 0 5 を非選択状態にして、スイッチング用 T F T 1 9 0 1 のゲートを閉じ、スイッチング用 T F T 1 9 0 1 を非導通状態にする。その時、保持容量 1 9 0 4 に蓄積された電荷は保持される。よって、E L 駆動用 T F T 1 9 0 2 の  $V_{GS}$  は、そのまま保持され、 $V_{GS}$  に応じた電流が、E L 駆動用 T F T 1 9 0 2 を経由して E L 素子 1 9 0 3 に流れ続ける。

#### 【 0 0 1 3 】

E L 素子の駆動等に関しては、SID99 Digest : P372 : “Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT”、ASIA DISPLAY98 : P217 : “High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver”、Euro Display99 Late News : P27 : “3.8 Green OLED with Low Temperature Poly-Si TFT” などに報告されている。

#### 【 0 0 1 4 】

次に、E L 素子の階調表示の方式について述べる。アナログ階調方式は、E L 駆動用 T F T の電流特性のばらつきに弱いという欠点がある。つまり、E L 駆動用 T F T の電流特性が異なると、同じゲート電圧を印可しても、E L 駆動用 T F T と E L 素子を流れる電流値が変わってしまう。その結果 E L 素子の明るさ、つまり階調が変わってしまう。

#### 【 0 0 1 5 】

そこで、E L 駆動用 T F T の特性ばらつきの影響を小さくするために、デジタ

ル階調方式と呼ぶ方式が考案されている。この方式は、E L 駆動用 T F T のゲート電圧の絶対値  $|V_{GS}|$  が点灯開始電圧以下の状態（ほとんど電流が流れない）と、輝度飽和電圧よりも大きい状態（最大に近い電流が流れている）、という2つの状態で階調を制御する方式である。この場合、E L 駆動用 T F T のゲート電圧の絶対値  $|V_{GS}|$  を輝度飽和電圧よりも十分大きくしておけば、E L 駆動用 T F T の電流特性がばらついても、電流値は  $I_{MAX}$  に近くなる。よって、E L 駆動用 T F T のばらつきの影響を非常に小さく出来る。以上のように、ON 状態（最大電流が流れているため明るい）とOFF 状態（電流が流れないため暗い）の2つの状態で階調を制御するため、この方式はデジタル階調方式と呼ばれている。

## 【0016】

しかしながら、デジタル階調方式の場合、このままでは2階調しか表示できない。そこで、別の方式と組み合わせて、多階調化を図る技術が複数提案されている。

## 【0017】

多階調化を図る方式の一つとして、時間階調方式がある。時間階調方式とは、E L 素子が点灯している時間を制御して、その点灯時間の長短によって階調を出す方式である。つまり、1 フレーム期間を、複数のサブフレーム期間に分割し、点灯しているサブフレーム期間の数や長さを制御して、階調を表現している。

## 【0018】

図101を参照する。図20は、時間階調方式を用いた、回路の駆動タイミングについて簡単に示している。フレーム周波数を60 [Hz] とし、時間階調方式によって3ビットの階調を得る例である。

## 【0019】

図20 (A) に示すように、1 フレーム期間を、階調ビット数分のサブフレーム期間に分割する。ここでは3ビットであるので、3つのサブフレーム期間に分割している。1つのサブフレーム期間は、さらにアドレス期間 ( $T_a$ ) とサステイン（点灯）期間 ( $T_s$ ) に分けられる（図20 (B)）。 $SF_1$ でのサステイン期間を  $T_{s1}$  と呼ぶことにする。 $SF_2$ 、 $SF_3$ の場合においても同様に、 $T_{s2}$ 、 $T_{s3}$  と呼ぶことにする。アドレス期間は、1 フレーム分の映像信号を画素に

書き込む期間であるので、いずれのサブフレーム期間においても長さが等しい（図 20（C））。サステイン期間は、ここでは  $Ts_1 : Ts_2 : Ts_3 = 2^2 : 2^1 : 2^0 = 4 : 2 : 1$  というように、2 のべき乗の比を有する。

#### 【0020】

階調表示の方法としては、 $Ts_1$  から  $Ts_3$  までのサステイン（点灯）期間において、EL 素子を点灯させるか点灯させないかのいずれかの状態に制御することにより、1 フレーム期間内の総点灯時間の長短によって輝度を制御している。この例では、点灯するサステイン（点灯）期間の組み合わせにより、 $2^3 = 8$  通りの点灯時間の長さを決定することが出来るため、8 階調を表示できる。このように点灯時間の長短を利用して階調表現を行う。

#### 【0021】

さらに階調数を増やす場合は、1 フレーム期間の分割数を増やしていけばよい。1 フレーム期間を  $n$  個のサブフレームに期間に分割した場合、サステイン（点灯）期間の長さの比率は  $Ts_1 : Ts_2 : \dots : Ts_{(n-1)} : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$  となり、 $2^n$  通りの階調を表現することが可能となる。

#### 【0022】

##### 【発明が解決しようとする課題】

一般的なアクティブマトリクス型電気光学装置においては、動画の表示をスムーズに行うため、前述の図 20（A）に示したように、1 秒間に 60 回前後、画面表示の更新が行われる。すなわち、1 フレーム毎にデジタル映像信号を供給し、その都度画素への書き込みを行う必要がある。たとえ、映像が静止画であったとしても、1 フレーム毎に同一の信号を供給しつづけなければならないため、駆動回路が連続して同じデジタル映像信号の繰り返し処理を行う必要がある。

#### 【0023】

静止画のデジタル映像信号を一旦、外部の記憶回路に書き込み、以後は 1 フレーム毎に外部の記憶回路から電気光学装置にデジタル映像信号を供給する方法もあるが、いずれの場合にも外部の記憶回路と駆動回路は動作し続ける必要があることに変わりはない。

【 0 0 2 4 】

特にモバイル機器においては、低消費電力化が大きく望まれている。さらに、このモバイル機器においては、静止画モードで利用されることが大部分を占めているにもかかわらず、前述のように駆動回路は静止画表示の際にも動作し続けているため、低消費電力化への足かせとなっている。

【 0 0 2 5 】

本発明は前述のような問題点を鑑見て、新規の回路を用いることにより、静止画の表示時における駆動回路の消費電力を低減することを課題とする。

【 0 0 2 6 】

【課題を解決するための手段】

前述の課題を解決するために、本発明では次のような手段を用いた。

【 0 0 2 7 】

画素内に複数の記憶回路を配置し、画素毎にデジタル映像信号を記憶させる。静止画の場合、一度書き込みを行えば、それ以降、画素に書き込まれる情報は同様であるので、フレーム毎に信号の入力を行わなくとも、記憶回路に記憶されている信号を読み出すことによって静止画を継続的に表示することができる。すなわち、静止画を表示する際は、最低 1 フレーム分の信号の処理動作を行って以降は、ソース信号線駆動回路を停止させておくことが可能となり、それに伴って電力消費を大きく低減することが可能となる。

【 0 0 2 8 】

以下に、本発明の電気光学装置の構成について記載する。

【 0 0 2 9 】

請求項 1 に記載の本発明の電気光学装置は、

$n$  ビット ( $n$  は自然数、 $n \geq 2$ ) のデジタル映像信号を用いて映像の表示を行う電気光学装置において、

1 つの画素が  $n \times m$  個 ( $m$  は自然数) の記憶回路を有することを特徴としている。

【 0 0 3 0 】

請求項 2 に記載の本発明の電気光学装置は、

$n$ ビット ( $n$ は自然数、 $n \geq 2$ ) のデジタル映像信号を用いて映像の表示を行う電気光学装置において、

1つの画素が  $n \times m$ 個 ( $m$ は自然数) の記憶回路を有し、最大  $m$ フレーム分のデジタル映像信号を記憶することを特徴としている。

【 0 0 3 1 】

請求項3に記載の本発明の電気光学装置は、

$n$ ビット ( $n$ は自然数、 $n \geq 2$ ) のデジタル映像信号を用いて映像の表示を行う電気光学装置において、

1つの画素が  $n \times m$ 個 ( $m$ は自然数) の記憶回路を有し、

前記電気光学装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、第1のラッチ回路において前記デジタル映像信号の保持を行う手段と、

前記第1のラッチ回路に保持された前記デジタル映像信号を、第2のラッチ回路に転送する手段と、

前記第2のラッチ回路に保持された前記デジタル映像信号を、前記記憶回路に記憶する手段と、

前記記憶回路に記憶されたデジタル映像信号を読み出して映像の表示を行う手段と、

を有することを特徴としている。

【 0 0 3 2 】

請求項4に記載の本発明の電気光学装置は、

$n$ ビット ( $n$ は自然数、 $n \geq 2$ ) のデジタル映像信号を用いて映像の表示を行う電気光学装置において、

1つの画素が  $n \times m$ 個 ( $m$ は自然数) の記憶回路を有し、

前記電気光学装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、



前記サンプリングパルスに従って、ラッチ回路において前記デジタル映像信号の保持を行う手段と、

前記ラッチ回路に保持された前記デジタル映像信号を、前記記憶回路に記憶する手段と、

前記記憶回路に記憶されたデジタル映像信号を読み出して映像の表示を行う手段と、

を有することを特徴としている。

【 0 0 3 3 】

請求項 5 に記載の本発明の電気光学装置は、

$n$  ビット ( $n$  は自然数、 $n \geq 2$ ) のデジタル映像信号を用いて映像の表示を行う電気光学装置において、

1 つの画素が  $n \times m$  個 ( $m$  は自然数) の記憶回路を有し、

前記電気光学装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、第 1 のラッチ回路において前記デジタル映像信号の保持を行う手段と、

前記第 1 のラッチ回路に保持された前記デジタル映像信号を、第 2 のラッチ回路に転送する手段と、

前記第 2 のラッチ回路に保持された前記デジタル映像信号を、前記記憶回路に記憶する手段と、

前記記憶回路に記憶されたデジタル映像信号を読み出して映像の表示を行う手段と、

前記記憶回路から読み出されたデジタル映像信号を再度前記記憶回路に記憶する手段と、

を有することを特徴としている。

【 0 0 3 4 】

請求項 6 に記載の本発明の電気光学装置は、

$n$  ビット ( $n$  は自然数、 $n \geq 2$ ) のデジタル映像信号を用いて映像の表示を行

う電気光学装置において、

1つの画素が $n \times m$ 個（ $m$ は自然数）の記憶回路を有し、

前記電気光学装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、ラッチ回路において前記デジタル映像信号の保持を行う手段と、

前記ラッチ回路に保持された前記デジタル映像信号を、前記記憶回路に記憶する手段と、

前記記憶回路に記憶されたデジタル映像信号を読み出して映像の表示を行う手段と、

前記記憶回路から読み出されたデジタル映像信号を再度前記記憶回路に記憶する手段と、

を有することを特徴としている。

【 0 0 3 5 】

請求項7に記載の本発明の電気光学装置は、

基板上に複数の画素を有する電気光学装置において、

前記複数の画素は、複数の記憶回路を有し、

1フレーム期間中に、前記記憶回路に記憶されたデジタル映像信号を読み出し

時間階調方式によって階調表示を行うことを特徴としている。

【 0 0 3 6 】

請求項8に記載の本発明の電気光学装置は、

請求項1乃至請求項4または請求項7のいずれか1項に記載の電気光学装置において、

前記記憶回路はスタティック型メモリ（SRAM）であることを特徴としている。

【 0 0 3 7 】

請求項9に記載の本発明の電気光学装置は、

請求項 1 乃至請求項 4 または請求項 7 のいずれか 1 項に記載の電気光学装置において、

前記記憶回路は強誘電体メモリ（F R A M）であることを特徴としている。

【 0 0 3 8 】

請求項 1 0 に記載の本発明の電気光学装置は、

請求項 1 または請求項 2 または請求項 5 乃至請求項 7 のいずれか 1 項に記載の電気光学装置において、

前記記憶回路はダイナミック型メモリ（D R A M）であることを特徴としている。

【 0 0 3 9 】

請求項 1 1 に記載の本発明の電気光学装置は、

請求項 1 乃至請求項 1 0 のいずれか 1 項に記載の電気光学装置において、

静止画像の表示期間においては、

前記記憶回路に記憶されたデジタル映像信号を繰り返し読み出して静止画像の表示を行うことにより、

ソース信号線駆動回路を停止することを特徴としている。

【 0 0 4 0 】

請求項 1 2 に記載の本発明の電気光学装置は、

請求項 1 乃至請求項 1 1 のいずれか 1 項に記載の電気光学装置において、

前記記憶回路は、ゲート信号線 1 ラインごとに選択的に書き換えが可能であることを特徴としている。

【 0 0 4 1 】

請求項 1 3 に記載の本発明の電気光学装置は、

請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の電気光学装置において、

前記記憶回路は、ガラス基板上に形成されていることを特徴としている。

【 0 0 4 2 】

請求項 1 4 に記載の本発明の電気光学装置は、

請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の電気光学装置において、

前記記憶回路は、プラスチック基板上に形成されていることを特徴としている

## 【 0 0 4 3 】

請求項 1 5 に記載の本発明の電気光学装置は、  
請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の電気光学装置において、  
前記記憶回路は、ステンレス基板上に形成されていることを特徴としている。

## 【 0 0 4 4 】

請求項 1 6 に記載の本発明の電気光学装置は、  
請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の電気光学装置において、  
前記記憶回路は、単結晶ウェハ上に形成されていることを特徴としている。

## 【 0 0 4 5 】

## 【発明の実施の形態】

図 2 は、本発明の、記憶回路を有する画素を用いた電気光学装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3 ビットデジタル階調信号に対応したものであり、シフトレジスタ回路 2 0 1、第 1 のラッチ回路 2 0 2、第 2 のラッチ回路 2 0 3、ビット信号選択スイッチ 2 0 4、画素 2 0 5 を有する。2 1 0 は、ゲート信号線駆動回路あるいは外部から直接供給される信号であり、画素の説明とともに後述する。

## 【 0 0 4 6 】

図 1 は、図 2 における画素 2 0 5 における回路構成を詳細に示したものである。この画素は、3 ビットデジタル階調に対応したものであり、E L 素子 (E L) 1 2 3、保持容量 (C s) 1 2 1、記憶回路 (A 1 ~ A 3 および B 1 ~ B 3) 等を有している。1 0 1 はソース信号線、1 0 2 ~ 1 0 4 は書き込み用ゲート信号線、1 0 5 ~ 1 0 7 は、読み出し用ゲート信号線、1 0 8 ~ 1 1 0 は書き込み用 T F T、1 1 1 ~ 1 1 3 は読み出し用 T F T、1 1 4 は第 1 の書き込み用記憶回路選択部、1 1 5 は第 1 の読み出し用記憶回路選択部、1 1 6 は第 2 の書き込み用記憶回路選択部、1 1 7 は第 2 の読み出し用記憶回路選択部、1 1 8 は第 3 の書き込み用記憶回路選択部、1 1 9 は第 3 の読み出し用記憶回路選択部、1 2 2 は E L 駆動用 T F T である。

## 【 0 0 4 7 】

図 3 は、図 1 に示した本発明の表示装置におけるタイミングチャートである。表示装置は 3 ビットデジタル階調、VGA のものを対象としている。図 1 ～図 3 を用いて、駆動方法について説明する。なお、各番号は、図 1 ～図 3 のものをそのまま用いる（図番は省略する）。

## 【 0 0 4 8 】

図 2 および図 3 (A) (B) を参照する。図 3 (A) において、各フレーム期間を  $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$  と表記して説明する。まず、区間  $\alpha$  における回路動作について説明する。

## 【 0 0 4 9 】

従来のデジタル方式の駆動回路の場合と同様に、シフトレジスタ回路 2 0 1 にクロック信号 (S - C L K、S - C L K b) およびスタートパルス (S - S P) が入力され、順次サンプリングパルスが出力される。続いて、サンプリングパルスは第 1 のラッチ回路 2 0 2 (L A T 1) に入力され、同じく第 1 のラッチ回路 2 0 2 に入力されたデジタル映像信号 (D i g i t a l D a t a) をそれぞれ保持していく。この期間を、本明細書においてはドットデータサンプリング期間と表記する。1 水平期間分のドットデータサンプリング期間は、図 3 (A) において 1 ～4 8 0 で示す各期間である。デジタル映像信号は 3 ビットであり、D 1 が M S B (Most Significant Bit)、D 3 が L S B (Least Significant Bit) である。第 1 のラッチ回路 2 0 2 において、1 水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第 1 のラッチ回路 2 0 2 で保持されているデジタル映像信号は、ラッチ信号 (L a t c h P u l s e) の入力に従い、一斉に第 2 のラッチ回路 2 0 3 (L A T 2) へと転送される。

## 【 0 0 5 0 】

続いて、再びシフトレジスタ回路 2 0 1 から出力されるサンプリングパルスに従い、次水平周期分のデジタル映像信号の保持動作が行われる。

## 【 0 0 5 1 】

一方、第 2 のラッチ回路 2 0 3 に転送されたデジタル映像信号は、画素内に配置された記憶回路に書き込まれる。図 3 (B) に示すように、次列のドットデータサンプリング期間を I、II および III と 3 分割し、第 2 のラッチ回路に保持され

ているデジタル映像信号をソース信号線に出力する。このとき、ビット信号選択スイッチ 2 0 4 によって、各ビットの信号が順番にソース信号線に出力されるように選択的に接続される。

#### 【 0 0 5 2 】

期間Iでは、書き込み用ゲート信号線 1 0 2 にパルスが入力されて T F T 1 0 8 が導通し、記憶回路選択部 1 1 4 が記憶回路 A 1 を選択し、記憶回路 A 1 にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線 1 0 3 にパルスが入力されて T F T 1 0 9 が導通し、記憶回路選択部 1 1 6 が記憶回路 A 2 を選択し、記憶回路 A 2 にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線 1 0 4 にパルスが入力されて T F T 1 1 0 が導通し、記憶回路選択部 1 1 8 が記憶回路 A 3 を選択し、記憶回路 A 3 にデジタル映像信号が書き込まれる。

#### 【 0 0 5 3 】

以上で、1 水平期間分のデジタル映像信号の処理が終了する。図 3 ( B ) の期間は、図 3 ( A ) において※印で示された期間である。以上の動作を最終段まで行うことにより、1 フレーム分のデジタル映像信号が記憶回路 A に書き込まれる。

#### 【 0 0 5 4 】

ところで、本発明の電気光学装置においては、3 ビットのデジタル階調を、時間階調方式により表現する。時間階調方式とは、画素に印加する電圧によって輝度の制御を行う通常の方式と異なり、画素には 2 種類の電圧のみを印加して O N 、 O F F の 2 状態を用い、点灯時間の差を利用して階調を得る方式である。時間階調方式において n ビットの階調表現を行う際には、その表示期間を n 個の期間に分割し、各期間の長さの比を  $2^{n-1} : 2^{n-2} : \dots : 2^0$  のように 2 のべき乗とし、どの期間で画素を O N の状態にするかによって、点灯時間の長さに差を生じ、もって階調の表現を行う。

#### 【 0 0 5 5 】

また、表示期間の長さを 2 のべき乗以外の区分によって階調表示を行うようにしても表示は可能である。

## 【 0 0 5 6 】

以上をふまえて、区間  $\beta$  における動作について説明する。最終段における記憶回路への書き込みが終了すると、1 フレーム目の表示が行われる。図 3 (C) は、3 ビットの時間階調方式について説明する図である。今、デジタル映像信号は、ビットごとに記憶回路 A 1 ~ A 3 に記憶されている。T s 1 は、第 1 ビットデータによる表示期間、T s 2 は、第 2 ビットデータによる表示期間、T s 3 は、第 3 ビットデータによる表示期間であり、各表示期間の長さは、 $T s 1 : T s 2 : T s 3 = 4 : 2 : 1$  となっている。

## 【 0 0 5 7 】

ここでは 3 ビットであるから、輝度は 0 ~ 7 までの 8 段階が得られる。T s 1 ~ T s 3 のいずれの期間においても表示が行われない場合には輝度 0、全ての期間を用いて表示を行えば輝度 7 を得る。例えば、輝度 5 を表示したい場合には、T s 1 と T s 3 において画素を ON の状態とし、表示させればよい。

## 【 0 0 5 8 】

具体的に図を用いて説明する。T s 1 においては、読み出し用ゲート信号線 1 0 5 にパルスが入力されて T F T 1 1 1 が導通し、記憶回路選択部 1 1 5 が記憶回路 A 1 を選択し、記憶回路 A 1 に記憶されたデジタル映像信号にしたがって E L 素子を点灯させる。続いて、T s 2 においては、読み出し用ゲート信号線 1 0 6 にパルスが入力されて T F T 1 1 2 が導通し、記憶回路選択部 1 1 7 が記憶回路 A 2 を選択し、記憶回路 A 2 に記憶されたデジタル映像信号にしたがって E L 素子を点灯させる。最後に、T s 3 においては、読み出し用ゲート信号線 1 0 7 にパルスが入力されて T F T 1 1 3 が導通し、記憶回路選択部 1 1 9 が記憶回路 A 3 を選択し、記憶回路 A 3 に記憶されたデジタル映像信号によって E L 素子を点灯させる。

## 【 0 0 5 9 】

以上のようにして、1 フレーム期間分の表示が行われる。一方、駆動回路側では、同時に次のフレーム期間のデジタル映像信号の処理が行われている。第 2 のラッチ回路へのデジタル映像信号の転送までは前述と同様の手順である。続く記憶回路への書き込み期間においては、もう一方の記憶回路を用いる。

## 【 0 0 6 0 】

期間Iでは、書き込み用ゲート信号線102にパルスが入力されてTFT108が導通し、記憶回路選択部114が記憶回路B1を選択し、記憶回路B1にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線103にパルスが入力されてTFT109が導通し、記憶回路選択部116が記憶回路B2を選択し、記憶回路B2にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線104にパルスが入力されてTFT110が導通し、記憶回路選択部118が記憶回路B3を選択し、記憶回路B3にデジタル映像信号が書き込まれる。

## 【 0 0 6 1 】

続いて、区間γに入り、記憶回路B1～B3に記憶されたデジタル映像信号に従って2フレーム目の表示が行われる。同時に、次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、1フレーム目の表示が終了した記憶回路A1～A3に再び記憶される。

## 【 0 0 6 2 】

その後、記憶回路A1～A3に記憶されたデジタル映像信号の表示が区間δで行われ、同時に次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、2フレーム目の表示が終了した記憶回路B1～B3に再び記憶される。

## 【 0 0 6 3 】

以上の動作を繰り返して、映像の表示が継続的に行われる。ここで、静止画を表示する場合には、最初の動作で記憶回路A1～A3にいったんデジタル映像信号が記憶されてからは、各フレーム期間で記憶回路A1～A3に記憶されたデジタル映像信号を反復して読み出せば良い。したがってこの静止画が表示されている期間中は、ソース信号線駆動回路の駆動を停止させることが出来る。

## 【 0 0 6 4 】

さらに、記憶回路へのデジタル映像信号の書き込み、あるいは記憶回路からのデジタル映像信号の読み出しは、ゲート信号線1本単位で行うことが可能である。すなわち、ソース信号線駆動回路を短期間のみ動作させ、画面の一部のみを書



き換えるなどといった表示方法をとることも出来る。

【0065】

また、本実施形態においては、1画素内にA1～A3およびB1～B3の記憶回路を有し、3ビットのデジタル映像信号を2フレーム分だけ記憶する機能を有しているが、本発明はこの数に限定しない。つまり、nビットのデジタル映像信号をmフレーム分だけ記憶するには、1画素内に $n \times m$ 個の記憶回路を有していれば良い。

【0066】

以上の方法により、画素内に実装された記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル映像信号を反復して用い、ソース信号線駆動回路を駆動することなく、継続的に静止画表示が可能となる。よって、電気光学装置の低消費電力化に大きく貢献することが出来る。

【0067】

また、ソース信号線駆動回路に関しては、ビット数に応じて増加するラッチ回路等の配置の問題から、必ずしも絶縁体上に一体形成する必要はなく、その一部あるいは全部を外付けで構成しても良い。

【0068】

さらに、本実施形態にて示した、電気光学装置のソース信号線駆動回路においては、ビット数に応じたラッチ回路を配置しているが、1ビット分のみ配置して動作させることも可能である。この場合、上位ビットから下位ビットのデジタル映像信号を直列にラッチ回路に入力すれば良い。

【0069】

【実施例】

以下に本発明の実施例について記述する。

【0070】

[実施例1]

本実施例においては、実施形態において示した回路における記憶回路選択部を、具体的にトランジスタ等を用いて構成し、その動作について説明する。

## 【 0 0 7 1 】

図 4 (A) は、図 1 に示した画素と同様のもので、記憶回路選択部 1 1 4 ~ 1 1 9 を実際に回路で構成した例である。図中、各部に付した番号において、図 1 と同じ部位については、図 1 と同じ番号を付している。記憶回路 A 1 ~ A 3 および B 1 ~ B 3 の各々に、書き込み選択用 T F T 4 0 1、4 0 3、4 0 5、4 0 7、4 0 9、4 1 1 と、読み出し選択用 T F T 4 0 2、4 0 4、4 0 6、4 0 8、4 1 0、4 1 2 とを設け、記憶回路選択信号線 4 1 3、4 1 4 をもって制御する。

## 【 0 0 7 2 】

図 4 (B) は、記憶回路の一例を示したものである。点線枠 4 5 0 で示される部分が記憶回路 (図 4 (A) 中、A 1 ~ A 3 および B 1 ~ B 3 で示す部分) であり、4 5 1 は書き込み選択用 T F T、4 5 2 は読み出し選択用 T F T である。ここで示した記憶回路には、フリップフロップを利用したスタティック型メモリ (Static RAM : SRAM) を用いているが、記憶回路に関してはこの構成に限定しない。ここで、記憶回路に S R A M を使用する場合には、画素は保持容量 (C s) 1 2 1 を持たない構造としても良い。

## 【 0 0 7 3 】

本実施例にて図 4 (A) で示した回路の駆動は、実施形態にて図 3 を用いて示したタイミングチャートに従って駆動することが出来る。図 3、図 4 (A) を用いて、記憶回路選択部の実際の駆動方法を加えて、回路動作について説明する。なお、各番号は、図 3、図 4 (A) のものをそのまま用いる (図番は省略する)。

## 【 0 0 7 4 】

図 3 (A) (B) を参照する。図 3 (A) において、各フレーム期間を  $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$  と表記して説明する。まず、区間  $\alpha$  における回路動作について説明する。

## 【 0 0 7 5 】

シフトレジスタ回路から第 2 のラッチ回路までの駆動方法に関しては実施形態にて示したものと同様であるのでそれに従う。

## 【0076】

まず、記憶回路選択信号線413にパルスが入力されて書き込み選択用TF T 401、405、409が導通し、記憶回路A1～A3への書き込みが可能な状態となる。期間Iでは、書き込み用ゲート信号線102にパルスが入力されてTF T 108が導通し、記憶回路A1にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線103にパルスが入力されてTF T 109が導通し、記憶回路A2にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線104にパルスが入力されてTF T 110が導通し、記憶回路A3にデジタル映像信号が書き込まれる。

## 【0077】

以上で、1水平期間分のデジタル映像信号の処理が終了する。図3（B）の期間は、図3（A）において※印で示された期間である。以上の動作を最終段まで行うことにより、1フレーム分のデジタル映像信号が記憶回路A1～A3に書き込まれる。

## 【0078】

続いて、区間βにおける動作について説明する。最終段における記憶回路への書き込みが終了すると、1フレーム目の表示が行われる。図3（C）は、3ビットの時間階調方式について説明する図である。今、デジタル映像信号は、ビットごとに記憶回路A1～A3に記憶されている。Ts1は、第1ビットデータによる表示期間、Ts2は、第2ビットデータによる表示期間、Ts3は、第3ビットデータによる表示期間であり、各表示期間の長さは、Ts1 : Ts2 : Ts3 = 4 : 2 : 1となっている。

## 【0079】

ただし、表示期間の長さを2のべき乗以外の区分によって階調表示を行うようにしても表示は可能である。

## 【0080】

ここでは3ビットであるから、輝度は0～7までの8段階が得られる。Ts1～Ts3のいずれの期間においても表示が行われない場合には輝度0、全ての期間を用いて表示を行えば輝度7を得る。例えば、輝度5を表示したい場合には、

T s 1 と T s 3 において画素を O N の状態とし、表示させればよい。

#### 【 0 0 8 1 】

具体的に図を用いて説明する。記憶回路への書き込み動作が終了した後、表示期間に移る際に、記憶回路選択信号線 4 1 3 に入力されていたパルスが終了し、同時に記憶回路選択信号線 4 1 4 にパルスが入力され、書き込み用 T F T 4 0 1、4 0 5、4 0 9 は非導通状態となり、読み出し用 T F T 4 0 2、4 0 6、4 1 0 が導通して、記憶回路 A 1 ～ A 3 からの読み出しが可能な状態となる。T s 1 においては、読み出し用ゲート信号線 1 0 5 にパルスが入力されて T F T 1 1 1 が導通し、記憶回路 A 1 に記憶されたデジタル映像信号にしたがって E L 素子 1 2 3 が点灯する。続いて、T s 2 においては、読み出し用ゲート信号線 1 0 6 にパルスが入力されて T F T 1 1 2 が導通し、記憶回路 A 2 に記憶されたデジタル映像信号にしたがって E L 素子 1 2 3 が点灯する。最後に、T s 3 においては、読み出し用ゲート信号線 1 0 7 にパルスが入力されて T F T 1 1 3 が導通し、記憶回路 A 3 に記憶されたデジタル映像信号によって E L 素子 1 2 3 が点灯する。

#### 【 0 0 8 2 】

以上のようにして、1 フレーム期間分の表示が行われる。一方、駆動回路側では、同時に次のフレーム期間のデジタル映像信号の処理が行われている。第 2 のラッチ回路へのデジタル映像信号の転送までは前述と同様の手順である。続く記憶回路への書き込み期間においては、記憶回路 B 1 ～ B 3 を用いる。

#### 【 0 0 8 3 】

なお、記憶回路 A 1 ～ A 3 に信号が書き込まれる期間においては、記憶回路 A 1 ～ A 3 への書き込み用 T F T 4 0 1、4 0 5、4 0 9 が導通しているが、同時に記憶回路 B 1 ～ B 3 からの読み出し用 T F T 4 0 4、4 0 8、4 1 2 も導通している。同様に、記憶回路 A 1 ～ A 3 からの読み出し用 T F T 4 0 2、4 0 6、4 1 0 が導通しているときは、同時に記憶回路 B 1 ～ B 3 への書き込み用 T F T 4 0 3、4 0 7、4 1 1 も導通しており、互いの記憶回路はあるフレーム期間において書き込みと読み出しが交互に行われる。

#### 【 0 0 8 4 】

期間 I では、書き込み用ゲート信号線 1 0 2 にパルスが入力されて T F T 1 0

8が導通し、記憶回路B1にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線103にパルスが入力されてTF T109が導通し、記憶回路B2にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線104にパルスが入力されてTF T110が導通し、記憶回路B3にデジタル映像信号が書き込まれる。

## 【0085】

続いて、区間γに入り、記憶回路B1～B3に記憶されたデジタル映像信号に従って2フレーム目の表示が行われる。同時に、次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、1フレーム目の表示が終了した記憶回路A1～A3に再び記憶される。

## 【0086】

その後、記憶回路A1～A3に記憶されたデジタル映像信号の表示が区間δで行われ、同時に次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、2フレーム目の表示が終了した記憶回路B1～B3に再び記憶される。

## 【0087】

以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。

## 【0088】

## [実施例2]

本実施例においては、画素部の記憶回路への書き込みを点順次で行うことにより、ソース信号線駆動回路の第2のラッチ回路を省略した例について記す。

## 【0089】

図5は、記憶回路を有する画素を用いた電気光学装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3ビットデジタル階調信号に対応したものであり、シフトレジスタ回路501、ラッチ回路

502、画素503を有する。510は、ゲート信号線駆動回路あるいは外部から直接供給される信号であり、画素の説明とともに後述する。

#### 【0090】

図6は、図5に示した画素503の回路構成の詳細図である。実施例1と同様、3ビットデジタル階調に対応したものであり、液晶素子(LC)、保持容量(Cs)、記憶回路(A1～A3およびB1～B3)等を有している。601は第1ビット(MSB)信号用ソース信号線、602は第2ビット信号用ソース信号線、603は第3ビット(LSB)信号用ソース信号線、604は書き込み用ゲート信号線、605～607は、読み出し用ゲート信号線、608～610は書き込み用TFT、611～613は読み出し用TFTである。記憶回路選択部は、書き込み選択用TFT614、616、618、620、622、624および読み出し選択用TFT615、617、619、621、623、625等を用いて構成される。626および627は、記憶回路選択信号線である。電流供給線626、保持容量(Cs)627、EL駆動用TFT628、EL素子629は実施例1と同様のもので良い。

#### 【0091】

図7は、本実施例にて示した回路の駆動に関するタイミングチャートである。図6および図7を用いて説明する。

#### 【0092】

シフトレジスタ回路501からラッチ回路(LAT1)502までの動作は実施形態および実施例1と同様に行われる。図7(B)に示すように、第1段目のラッチ動作が終了すると、直ちに画素の記憶回路への書き込みを開始する。書き込み用ゲート信号線604にパルスが入力され、書き込み用TFT608～610が導通し、さらに記憶回路選択信号線626にパルスが入力されて書き込み選択用TFT614、618、622が導通して、記憶回路A1～A3への書き込みが可能な状態となる。ラッチ回路502に保持されたビット毎のデジタル映像信号は、3本のソース信号線601～603を経由して、同時に書き込まれる。

#### 【0093】

第 1 段目でラッチ回路に保持されたデジタル映像信号が、記憶回路へ書き込まれているとき、次段では続くサンプリングパルスに従って、ラッチ回路においてデジタル映像信号の保持が行われている。このようにして、順次記憶回路への書き込みが行われていく。

## 【 0 0 9 4 】

以上を 1 水平期間（図 7（A）中、※※で示す期間）内に行い、ゲート信号線の本数分が繰り返されて、区間  $\alpha$  における 1 フレーム分のデジタル映像信号の記憶回路への書き込みが終了すると、区間  $\beta$  で示される、1 フレーム目の表示期間に移る。書き込み用ゲート信号線 6 0 4 に入力されていたパルスが停止し、さらに記憶回路選択信号線 6 2 6 に入力されていたパルスが停止し、代わって記憶回路選択信号線 6 2 7 にパルスが入力されて読み出し選択用 T F T 6 1 5、6 1 9、6 2 3 が導通し、記憶回路 A 1 ～ A 3 からの読み出しが可能な状態となる。

## 【 0 0 9 5 】

続いて、実施形態および実施例 1 等で示した時間階調方式により、図 7（C）に示すように、表示期間 T s 1 では、読み出し用ゲート信号線 6 0 5 にパルスが入力されて読み出し用 T F T 6 1 1 が導通し、記憶回路 A 1 に書き込まれているデジタル映像信号により、表示が行われる。続いて T s 2 では、読み出し用ゲート信号線 6 0 6 にパルスが入力されて読み出し用 T F T 6 1 2 が導通し、記憶回路 A 2 に書き込まれているデジタル映像信号により、表示が行われ、同様に T s 3 では、読み出し用ゲート信号線 6 0 7 にパルスが入力されて読み出し用 T F T 6 1 3 が導通し、記憶回路 A 3 に書き込まれているデジタル映像信号により、表示が行われる。

## 【 0 0 9 6 】

以上で、1 フレーム目の表示期間が完了する。区間  $\beta$  では、同時に次のフレームにおけるデジタル映像信号の処理が行われる。ラッチ回路 5 0 2 へのデジタル映像信号の保持までは前述と同様の手順である。続く記憶回路への書き込み期間においては、記憶回路 B 1 ～ B 3 を用いる。

## 【 0 0 9 7 】

なお、記憶回路 A 1 ～ A 3 に信号が書き込まれる期間においては、記憶回路 A

1 ～ A 3 への書き込み用 T F T 6 1 4、6 1 8、6 2 2 が導通しているが、同時に記憶回路 B 1 ～ B 3 からの読み出し用 T F T 6 1 7、6 2 1、6 2 5 も導通している。同様に、記憶回路 A 1 ～ A 3 からの読み出し用 T F T 6 1 5、6 1 9、6 2 3 が導通しているときは、同時に記憶回路 B 1 ～ B 3 への書き込み用 T F T 6 1 6、6 2 0、6 2 4 も導通しており、互いの記憶回路は、あるフレーム期間において書き込みと読み出しが交互に行われる。

## 【 0 0 9 8 】

記憶回路 B 1 ～ B 3 への書き込み動作、読み出し動作は記憶回路 A 1 ～ A 3 の場合と同様である。記憶回路 B 1 ～ B 3 への書き込みが終了すると、区間  $\gamma$  に入り、2 フレーム目の表示期間に移る。さらにこの区間では、次のフレームにおけるデジタル映像信号の処理が行われる。ラッチ回路 5 0 2 へのデジタル映像信号の保持までは前述と同様の手順である。続く記憶回路への書き込み期間においては、再び記憶回路 A 1 ～ A 3 を用いる。

## 【 0 0 9 9 】

その後、記憶回路 A 1 ～ A 3 に記憶されたデジタル映像信号の表示が区間  $\delta$  で行われ、同時に次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、2 フレーム目の表示が終了した記憶回路 B 1 ～ B 3 に再び記憶される。

## 【 0 1 0 0 】

以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。さらに、実施例 1 にて示した回路と比較すると、ラッチ回路の数を 1 / 2 とすることが出来、回路配置の省スペース化による装置全体の小型化に貢献出来る。

## 【 0 1 0 1 】

## [ 実施例 3 ]

本実施例においては、実施例 2 にて示した、第 2 のラッチ回路を省略した電気



光学装置の回路構成を応用し、線順次駆動により画素内の記憶回路への書き込みを行う方法を用いた電気光学装置の例について記す。

#### 【0102】

図17は、本実施例にて示す電気光学装置のソース信号線駆動回路の回路構成例を示している。この回路は、3ビットデジタル階調信号に対応したものであり、シフトレジスタ回路1701、ラッチ回路1702、スイッチ回路1703、画素1704を有する。1710は、ゲート信号線駆動回路あるいは外部から直接供給される信号である。画素の回路構成に関しては、実施例2のものと同様で良いので、図6をそのまま参照する。

#### 【0103】

図18は、本実施例にて示した回路の駆動に関するタイミングチャートである。図6、図17および図18を用いて説明する。

#### 【0104】

シフトレジスタ回路1701からサンプリングパルスが出力され、ラッチ回路1702で、サンプリングパルスに従ってデジタル映像信号を保持するまでの動作は、実施例1および実施例2と同様である。本実施例では、ラッチ回路1702と画素1704内の記憶回路との間に、スイッチ回路1703を有しているため、ラッチ回路でのデジタル映像信号の保持が完了しても、直ちに記憶回路への書き込みが開始されない。ドットデータサンプリング期間が終了するまでの間は、スイッチ回路1703は閉じたままであり、その間、ラッチ回路ではデジタル映像信号が保持され続ける。

#### 【0105】

図18(B)に示すように、1水平期間分のデジタル映像信号の保持が完了すると、その後の帰線期間中にラッチ信号(Latch Pulse)が入力されてスイッチ回路1703が一斉に開き、ラッチ回路1702で保持されていたデジタル映像信号は一斉に画素1704内の記憶回路に書き込まれる。このときの書き込み動作に関わる、画素1704内の動作、さらに次のフレーム期間における表示の再の読み出し動作に関わる、画素1704内の動作については、実施例2と同様で良いので、ここでは説明を省略する。

## 【0106】

以上の方法によって、ラッチ回路を省略したソース信号線駆動回路においても、線順次の書き込み駆動を容易に行うことが出来る。

## 【0107】

## [実施例4]

本実施例では、本発明の電気光学装置の画素部とその周辺に設けられる駆動回路部（ソース信号線側駆動回路、ゲート信号線側駆動回路、画素選択信号線側駆動回路）のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるCMOS回路を図示することとする。

## 【0108】

まず、図10(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法で $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化シリコン膜5002aを10～200[nm]（好ましくは50～100[nm]）形成し、同様に $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化水素化シリコン膜5002bを50～200[nm]（好ましくは100～150[nm]）の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

## 【0109】

島状半導体層5003～5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003～5006の厚さは25～80[nm]（好ましくは30～60[nm]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

## 【0110】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続

発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30 [Hz]とし、レーザーエネルギー密度を100～400 [mJ/cm<sup>2</sup>] (代表的には200～300 [mJ/cm<sup>2</sup>])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10 [kHz]とし、レーザーエネルギー密度を300～600 [mJ/cm<sup>2</sup>] (代表的には350～500 [mJ/cm<sup>2</sup>])とする。そして幅100～1000 [μm]、例えば400 [μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80～98 [%]として行う。

## 【0111】

次いで、島状半導体層5003～5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40～150 [nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120 [nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO<sub>2</sub>とを混合し、反応圧力40 [Pa]、基板温度300～400 [°C]とし、高周波(13.56 [MHz])、電力密度0.5～0.8 [W/cm<sup>2</sup>]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400～500 [°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

## 【0112】

そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100 [nm]の厚さに形成し、第2の導電膜5009をWで100～300 [nm]の厚さに形成する。

## 【0113】

Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、 $\alpha$ 相のTa膜の抵抗率は20 [ $\mu\Omega\text{cm}$ ]程度でありゲート電極に使用することが出来るが、 $\beta$ 相のTa膜の抵抗率は180 [ $\mu\Omega\text{cm}$ ]程度でありゲート電極とするには不向きである。 $\alpha$ 相のTa膜を形成するために、Taの $\alpha$ 相に近い結晶構造をもつ窒化タンタルを10～50 [nm]程度の厚さでTaの下地に形成しておくことと $\alpha$ 相のTa膜を容易に得ることが出来る。

## 【0114】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン ( $\text{WF}_6$ ) を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 [ $\mu\Omega\text{cm}$ ]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999 [%]のWターゲットを用い、さらに成膜時に気相中の不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20 [ $\mu\Omega\text{cm}$ ]を実現することが出来る。

## 【0115】

なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。

## 【0116】

次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに $\text{CF}_4$ と $\text{Cl}_2$ を混合し、1 [Pa]の圧力でコイル型の電極に500 [W]のRF (13.56 [MHz]) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも100 [W]のRF (13.56 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 $\text{CF}_4$ と $\text{Cl}_2$ を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

## 【0117】

上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20$  [%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$  (代表的には3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50$  [nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011 $\sim$ 5016 (第1の導電層5011a $\sim$ 5016aと第2の導電層5011b $\sim$ 5016b) を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011 $\sim$ 5016で覆われない領域は $20 \sim 50$  [nm]程度エッチングされ薄くなった領域が形成される。

(図10 (A))

## 【0118】

そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドーブ法もしくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$  [atoms/cm<sup>2</sup>]とし、加速電圧を $60 \sim 100$  [keV]として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリ

ン (P) を用いる。この場合、導電層 5011~5015 が N 型を付与する不純物元素に対するマスクとなり、自己整合的に第 1 の不純物領域 5017~5025 が形成される。第 1 の不純物領域 5017~5025 には  $1 \times 10^{20} \sim 1 \times 10^{21} [\text{atoms/cm}^3]$  の濃度範囲で N 型を付与する不純物元素を添加する。(図 10 (B))

## 【0119】

次に、図 10 (C) に示すように、レジストマスクは除去しないまま、第 2 のエッチング処理を行う。エッチングガスに  $\text{CF}_4$  と  $\text{Cl}_2$  と  $\text{O}_2$  とを用い、W 膜を選択的にエッチングする。この時、第 2 のエッチング処理により第 2 の形状の導電層 5026~5031 (第 1 の導電層 5026a~5031a と第 2 の導電層 5026b~5031b) を形成する。このとき、ゲート絶縁膜 5007 においては、第 2 の形状の導電層 5026~5031 で覆われない領域はさらに 20~50 [nm] 程度エッチングされ薄くなった領域が形成される。

## 【0120】

W 膜や Ta 膜の  $\text{CF}_4$  と  $\text{Cl}_2$  の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。W と Ta のフッ化物と塩化物の蒸気圧を比較すると、W のフッ化物である  $\text{WF}_6$  が極端に高く、その他の  $\text{WCl}_5$ 、 $\text{TaF}_5$ 、 $\text{TaCl}_5$  は同程度である。従って、 $\text{CF}_4$  と  $\text{Cl}_2$  の混合ガスでは W 膜及び Ta 膜共にエッチングされる。しかし、この混合ガスに適量の  $\text{O}_2$  を添加すると  $\text{CF}_4$  と  $\text{O}_2$  が反応して  $\text{CO}$  と  $\text{F}$  になり、F ラジカルまたは F イオンが多量に発生する。その結果、フッ化物の蒸気圧が高い W 膜のエッチング速度が増大する。一方、Ta は F が増大しても相対的にエッチング速度の増加は少ない。また、Ta は W に比較して酸化されやすいので、 $\text{O}_2$  を添加することで Ta の表面が酸化される。Ta の酸化物はフッ素や塩素と反応しないためさらに Ta 膜のエッチング速度は低下する。従って、W 膜と Ta 膜とのエッチング速度に差を作ることが可能となり W 膜のエッチング速度を Ta 膜よりも大きくすることが可能となる。

## 【0121】

そして、図 11 (A) に示すように第 2 のドーピング処理を行う。この場合、

第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120 [keV]とし、 $1 \times 10^{13}$  [atoms/cm<sup>2</sup>]のドーズ量で行い、図10 (B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026～5030を不純物元素に対するマスクとして用い、第1の導電層5026a～5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032～5036が形成される。この第3の不純物領域5032～5036に添加されたリン (P) の濃度は、第1の導電層5026a～5030aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a～5030aのテーパー部と重なる半導体層において、第1の導電層5026a～5030aのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

## 【0122】

図11 (B)に示すように第3のエッチング処理を行う。エッチングガスにC<sub>2</sub>F<sub>6</sub>を用い、反応性イオンエッチング法 (RIE法) を用いて行う。第3のエッチング処理により、第1の導電層5026a～5031aのテーパー部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5037～5042 (第1の導電層5037a～5042aと第2の導電層5037b～5042b) を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5037～5042で覆われない領域はさらに20～50 [nm]程度エッチングされ薄くなった領域が形成される。

## 【0123】

第3のエッチング処理によって、第3の不純物領域5032～5036においては、第1の導電層5037a～5041aと重なる第3の不純物領域5032a～5036aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5032b～5036bとが形成される。

## 【0124】

そして、図 1 1 (C) に示すように、Pチャネル型TFTを形成する島状半導体層 5 0 0 4 に第1の導電型とは逆の導電型の第4の不純物領域 5 0 4 3 ~ 5 0 4 8 を形成する。第3の形状の導電層 5 0 3 8 b を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFTを形成する島状半導体層 5 0 0 3、5 0 0 5、5 0 0 6 および配線部 5 0 4 2 はレジストマスク 5 2 0 0 で全面を被覆しておく。不純物領域 5 0 4 3 ~ 5 0 4 8 にはそれぞれ異なる濃度でリンが添加されているが、ジボラン ( $B_2H_6$ ) を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が  $2 \times 10^{20} \sim 2 \times 10^{21} [atoms/cm^3]$  となるようにする。

## 【 0 1 2 5 】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層 5 0 3 7 ~ 5 0 4 1 がゲート電極として機能する。また、5 0 4 2 は島状のソース信号線として機能する。

## 【 0 1 2 6 】

レジストマスク 5 2 0 0 を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファースアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (RTA法) を適用することが出来る。熱アニール法では酸素濃度が 1 [ppm] 以下、好ましくは 0. 1 [ppm] 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 [°C]、代表的には 5 0 0 ~ 6 0 0 [°C] で行うものであり、本実施例では 5 0 0 [°C] で 4 時間の熱処理を行う。ただし、第3の形状の導電層 5 0 3 7 ~ 5 0 4 2 に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜 (シリコンを主成分とする) を形成した後で活性化を行うことが好ましい。

## 【 0 1 2 7 】

さらに、3 ~ 1 0 0 [%] の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 [°C] で 1 ~ 1 2 時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を



用いる)を行っても良い。

#### 【0128】

次いで、図12(A)に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100～200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線(接続配線、信号線を含む)5057～5062、5064をパターニング形成した後、接続配線5062に接する画素電極5063をパターニング形成する。

#### 【0129】

第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTF Tによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5[μm](さらに好ましくは2～4[μm])とすれば良い。

#### 【0130】

コンタクトホールの形成は、ドライエッチングまたはウェットエッチングを用い、N型の不純物領域5017、5018、5021、5023～5025またはP型の不純物領域5043～5048に達するコンタクトホール、配線5042に達するコンタクトホール、電源供給線に達するコンタクトホール(図示せず)、およびゲート電極に達するコンタクトホール(図示せず)をそれぞれ形成する。

#### 【0131】

また、配線(接続配線、信号線を含む)5057～5062、5064として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものを用いる。勿論、他の導電膜を用いても良い。

#### 【0132】

また、本実施例では、画素電極 5 0 6 3 として M g A g 膜を 1 1 0 [nm] の厚さに形成し、パターニングを行った。画素電極 5 0 6 3 を接続配線 5 0 6 2 と接して重なるように配置することでコンタクトを取っている。この画素電極 5 0 6 3 が E L 素子の陽極となる。(図 1 2 (A))

#### 【0 1 3 3】

次に、図 1 2 (B) に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を 5 0 0 [nm] の厚さに形成し、画素電極 5 0 6 3 に対応する位置に開口部を形成して、バンクとして機能する第 3 の層間絶縁膜 5 0 6 5 を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因する E L 層の劣化が顕著な問題となってしまうため、注意が必要である。

#### 【0 1 3 4】

次に、E L 層 5 0 6 6 および陰極（透明電極） 5 0 6 7 を、真空蒸着法を用いて大気解放しないで連続形成する。なお、E L 層 5 0 6 6 の膜厚は 8 0 ~ 2 0 0 [nm]（典型的には 1 0 0 ~ 1 2 0 [nm]）、陰極 5 0 6 7 は、I T O 膜にて形成した。

#### 【0 1 3 5】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、E L 層および陰極を形成する。但し、E L 層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に E L 層および陰極を形成するのが好ましい。

#### 【0 1 3 6】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の E L 層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の E L 層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の E L 層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても

構わない。

【0137】

ここではRGBに対応した3種類のEL素子を形成する方式を用いたが、白色発光のEL素子とカラーフィルタを組み合わせた方式、青色または青緑発光のEL素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したEL素子を重ねる方式などを用いても良い。

【0138】

なお、EL層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をEL層とすれば良い。

【0139】

次に、同じゲート信号線にゲート電極が接続されたスイッチング用TFTを有する画素（同じラインの画素）上に、メタルマスクを用いて陰極5067を形成する。なお本実施例では陰極5067としてMgAgを用いたが、本発明はこれに限定されない。陰極5067として他の公知の材料を用いても良い。

【0140】

最後に、窒化珪素膜でなるパッシベーション膜5068を300[nm]の厚さに形成する。パッシベーション膜5068を形成しておくことで、EL層5066を水分等から保護することができ、EL素子の信頼性をさらに高めることが出来る。

【0141】

こうして図12（B）に示すような構造のELディスプレイパネルが完成する。なお、本実施例におけるELディスプレイパネルの作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0142】

なお、上記の行程により作成されるアクティブマトリクス型電気光学装置におけるTFTはトップゲート構造をとっているが、ボトムゲート構造のTFTやその他の構造のTFTに対しても本実施例は容易に適用され得る。

【0143】

また、本実施例においては、ガラス基板を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用することによっても実施が可能である。

【0144】

ところで、本実施例のELディスプレイパネルは、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10 [MHz]以上にすることが可能である。

【0145】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のNチャネル型TFTとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

【0146】

本実施例の場合、Nチャネル型TFTの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップLDD領域（ $L_{OV}$ 領域）、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットLDD領域（ $L_{OFF}$ 領域）およびチャネル形成領域を含む。

【0147】

また、CMOS回路のPチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、Nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

## 【0148】

その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスマッションゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、 $L_{OV}$ 領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスマッションゲートなどが挙げられる。

## 【0149】

なお、実際には図16(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとEL素子の信頼性が向上する。

## 【0150】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中では電気光学装置という。

## 【0151】

また、本実施例で示す工程に従えば、電気光学装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

## 【0152】

## [実施例 5]

ここで本発明の電気光学装置における画素部のさらに詳細な断面構造を図 9 に示す。

## 【0153】

図 9 において、基板 4 5 0 1 上に設けられたスイッチング用 T F T 4 5 0 2 は本実施例では N チャネル型 T F T を用いる。本実施例ではダブルゲート構造としているが、構造および作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に 2 つの T F T が直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、P チャネル型 T F T を用いて形成しても構わない。

## 【0154】

また、E L 駆動用 T F T 4 5 0 3 は、ここでは N チャネル型 T F T を用いる。スイッチング用 T F T 4 5 0 2 のドレイン配線 4 5 0 4 は配線（図示せず）によって E L 駆動用 T F T 4 5 0 3 のゲート電極 4 5 0 6 に電氣的に接続されている。

## 【0155】

ところで、電気光学装置の駆動電圧が高い（10 [V] 以上）場合には、駆動回路を構成する T F T が、特に N チャネル型においてホットキャリア等による劣化の危険性が高いため、N チャネル型 T F T のドレイン側、あるいはソース側とドレイン側との両方に、ゲート絶縁膜を介してゲート電極に重なる位置に L D D 領域（G O L D 領域）を設ける構造が極めて有効となる。対して、駆動電圧が低い（10 [V] 以下）場合には、ホットキャリアによる劣化の心配はほとんど無いため、特に G O L D 領域を設ける必要はない。ただし、画素部におけるスイッチング用 T F T 4 5 0 2 には、O F F 電流を低く抑えるために、N チャネル型 T F T のドレイン側、あるいはソース側とドレイン側との両方に、ゲート絶縁膜を介してゲート電極に重ならない位置に L D D 領域を設ける構造が極めて有効となる。このとき、E L 駆動用 T F T 4 5 0 3 に関しては、特に L D D 領域を設ける必要

性は無いが、スイッチング用TFT4502にLDD領域を形成する際に、EL駆動用TFT4503の部分をレジストで覆うためには専用のマスクが必要となる。よって、本実施例においては、マスク枚数の増加を避けるため、EL駆動用TFT4503を、スイッチング用TFT4502と同じ構造（LDD領域を有する構造）で形成した。

## 【0156】

また、本実施例ではEL駆動用TFT4503をシングルゲート構造で図示しているが、複数のTFTを直列に接続したマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

## 【0157】

また、EL駆動用TFT4503のゲート電極4506を含む配線（図示せず）は、EL駆動用TFT4503のドレイン配線4512と絶縁膜を介して一部で重なり、その領域では保持容量が形成される。この保持容量はEL駆動用TFT4503のゲート電極4506にかかる電圧を保持する機能を有する。

## 【0158】

スイッチング用TFT4502およびEL駆動用TFT4503の上には第1の層間絶縁膜4514が設けられ、その上に樹脂絶縁膜でなる第2の層間絶縁膜4515が形成される。

## 【0159】

4517は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、EL駆動用TFT4503のドレイン領域に一部が覆い被さるように形成され、電氣的に接続される。画素電極4517としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

## 【0160】

次に有機樹脂膜4516を画素電極4517上に形成し、画素電極4517に面する部分をパターンングした後、EL層4519が形成される。なおここでは

図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては $\pi$ 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

## 【0161】

また、第2の層間絶縁膜4515と、有機樹脂膜4516との間に、さらに1層の層間絶縁膜を追加することにより、発光層を形成している領域の直下にも、TFTの配置が可能となる。このようにすることで、画素内で駆動用のTFTの占有面積が増大するような場合にも、面積の大きい発光層を配置することが出来る。

## 【0162】

なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H.Shenk, H.Becker, O.Gelsen, E.Kluge, W.Kreuder and H.Spreitzer: "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

## 【0163】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150 [nm]（好ましくは40～100 [nm]）とすれば良い。

## 【0164】

但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光およびそのためのキャリアの移動を行わせるための層）を形成すれば良い。

## 【0165】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低



分子系有機 E L 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 E L 材料や無機材料は公知の材料を用いることができる。

## 【 0 1 6 6 】

陽極 4 5 2 3 まで形成された時点で E L 素子 4 5 1 0 が完成する。なお、ここでいう E L 素子 4 5 1 0 とは、画素電極（陰極） 4 5 1 7 と、発光層 4 5 1 9 と、保持容量（図示せず）とを指す。

## 【 0 1 6 7 】

ところで、本実施例では、陽極 4 5 2 3 の上にさらにパッシベーション膜 4 5 2 4 を設けている。パッシベーション膜 4 5 2 4 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と E L 素子とを遮断することであり、有機 E L 材料の酸化による劣化を防ぐ意味と、有機 E L 材料からの脱ガスを抑える意味との両方を併せ持つ。これにより電気光学装置の信頼性が高められる。

## 【 0 1 6 8 】

以上のように本実施例において説明してきた電気光学装置は、オフ電流値の十分に低いスイッチング用 T F T と、ホットキャリア注入に強い E L 駆動用 T F T とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な電気光学装置が得られる。

## 【 0 1 6 9 】

本実施例において説明した構造を有する E L 素子の場合、発光層 4 5 1 9 で発生した光は、矢印で示されるように T F T が形成された基板の逆方向に向かって放射されるため、画素部を構成する素子数が増えた場合にも、開口率の低下を心配する必要がないため、本発明への適用は特に有効である。

## 【 0 1 7 0 】

## 〔実施例 6〕

実施例 1 ～実施例 3 にて示した、本発明の電気光学装置の画素部においては、記憶回路としてスタティック型メモリ（Static RAM : SRAM）を用いて構成していたが、記憶回路は S R A M のみに限定されない。本発明の電気光学装置の画素部に適用可能な記憶回路には、他にダイナミック型メモリ（Dynamic RAM : DRAM

）等があげられる。本実施例においては、それらの記憶回路を用いて回路を構成する例を紹介する。

#### 【0171】

図8（A）は、画素に配置された記憶回路A1～A3およびB1～B3にDRAMを用いた例を示している。基本的な構成は、実施例1で示した回路と同様である。記憶回路A1～A3およびB1～B3に用いたDRAMに関しては、一般的な構成のものを用いれば良い。本実施例では、構成の簡単な、インバータおよび容量によって構成したものを用いて図示している。

#### 【0172】

ソース信号線駆動回路の動作は、実施例1と同様である。ここで、SRAMと異なり、DRAMの場合、一定期間ごとに記憶回路への再書き込み（以後、この動作をリフレッシュと表記する）が必要であるため、リフレッシュ用TFT801～803を有する。リフレッシュは、静止画を表示している期間（記憶回路に記憶されたデジタル映像信号を繰り返し読み出して表示を行っている期間）のあるタイミングで、リフレッシュ用TFT801～803をそれぞれ導通させ、画素部における電荷を、記憶回路側にフィードバックすることによって行われる。

#### 【0173】

さらに、特に図示しないが、他の形式の記憶回路として、強誘電体メモリ（Ferroelectric RAM：FRAM）を利用して本発明の電気光学装置の画素部を構成することも可能である。FRAMは、SRAMやDRAMと同等の書き込み速度を有する不揮発性メモリであり、その書き込み電圧が低い等の特徴を利用して、本発明の電気光学装置のさらなる低消費電力化が可能である。またその他、フラッシュメモリ等によっても、構成は可能である。

#### 【0174】

##### [実施例7]

本発明を適用して作成した駆動回路を用いたアクティブマトリクス型表示装置には様々な用途がある。本実施例では、本発明を適用して作成した駆動回路を用いた表示装置を組み込んだ半導体装置について説明する。

#### 【0175】

このような表示装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図 1 5 および図 1 6 に示す。

## 【 0 1 7 6 】

図 1 5 (A) は携帯電話であり、本体 2 6 0 1、音声出力部 2 6 0 2、音声入力部 2 6 0 3、表示部 2 6 0 4、操作スイッチ 2 6 0 5、アンテナ 2 6 0 6 から構成されている。本発明は表示部 2 6 0 4 に適用することができる。

## 【 0 1 7 7 】

図 1 5 (B) はビデオカメラであり、本体 2 6 1 1、表示部 2 6 1 2、音声入力部 2 6 1 3、操作スイッチ 2 6 1 4、バッテリー 2 6 1 5、受像部 2 6 1 6 から成っている。本発明は表示部 2 6 1 2 に適用することができる。

## 【 0 1 7 8 】

図 1 5 (C) はモバイルコンピュータあるいは携帯型情報端末であり、本体 2 6 2 1、カメラ部 2 6 2 2、受像部 2 6 2 3、操作スイッチ 2 6 2 4、表示部 2 6 2 5 で構成されている。本発明は表示部 2 6 2 5 に適用することができる。

## 【 0 1 7 9 】

図 1 5 (D) はヘッドマウントディスプレイであり、本体 2 6 3 1、表示部 2 6 3 2、アーム部 2 6 3 3 で構成される。本発明は表示部 2 6 3 2 に適用することができる。

## 【 0 1 8 0 】

図 1 5 (E) はテレビであり、本体 2 6 4 1、スピーカー 2 6 4 2、表示部 2 6 4 3、受信装置 2 6 4 4、増幅装置 2 6 4 5 等で構成される。本発明は表示部 2 6 4 3 に適用することができる。

## 【 0 1 8 1 】

図 1 5 (F) は携帯書籍であり、本体 2 6 5 1、表示部 2 6 5 2、記憶媒体 2 6 5 3、操作スイッチ 2 6 5 4、アンテナ 2 6 5 5 から構成されており、ミニディスク (MD) や DVD (Digital Versatile Disc) に記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示部 2 6 5 2 に適用することができる。

【0182】

図16 (A) はパーソナルコンピュータであり、本体2701、画像入力部2702、表示部2703、キーボード2704で構成される。本発明は表示部2703に適用することができる。

【0183】

図16 (B) はプログラムを記録した記録媒体を用いるプレーヤーであり、本体2711、表示部2712、スピーカー部2713、記録媒体2714、操作スイッチ2715で構成される。なお、この装置は記録媒体としてDVD (Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2612に適用することができる。

【0184】

図16 (C) はデジタルカメラであり、本体2721、表示部2722、接眼部2723、操作スイッチ2724、受像部（図示しない）で構成される。本発明は表示部2722に適用することができる。

【0185】

図16 (D) は片眼のヘッドマウントディスプレイであり、表示部2731、バンド部2732で構成される。本発明は表示部2731に適用することができる。

【発明の効果】

各画素の内部に配置された複数の記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル映像信号を反復して用い、継続的に静止画表示を行う際に、ソース信号線駆動回路を停止させておくことが可能となる。よって、電気光学装置全体の低消費電力化に大きく貢献することが出来る。

【図面の簡単な説明】

【図1】 複数の記憶回路を内部に有する本発明の画素の回路図。

【図2】 本発明の画素を用いて表示を行うためのソース信号線駆動回路の回路構成例を示す図。

【図 3】 本発明の画素を用いて表示を行うためのタイミングチャートを示す図。

【図 4】 複数の記憶回路を内部に有する本発明の画素の詳細な回路図。

【図 5】 第 2 のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図 6】 図 5 のソース信号線駆動回路によって駆動される、本発明を応用した画素の詳細な回路図。

【図 7】 図 5 および図 6 に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

【図 8】 記憶回路にダイナミック型メモリを用いる場合の本発明の画素の詳細な回路図。

【図 9】 図 1 0 ～図 1 2 に示した電気光学装置とは異なる方向に発光する EL 素子の構造を有する電気光学装置の断面を示す図。

【図 1 0】 本発明の画素を有する電気光学装置の作成工程例を示す図。

【図 1 1】 本発明の画素を有する電気光学装置の作成工程例を示す図。

【図 1 2】 本発明の画素を有する電気光学装置の作成工程例を示す図。

【図 1 3】 従来の電気光学装置の全体の回路構成を簡略に示す図。

【図 1 4】 従来の電気光学装置のソース信号線駆動回路の回路構成例を示す図。

【図 1 5】 本発明の画素を有する表示装置の適用が可能な電子装置の例を示す図。

【図 1 6】 本発明の画素を有する表示装置の適用が可能な電子装置の例を示す図。

【図 1 7】 第 2 のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図 1 8】 図 1 7 に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

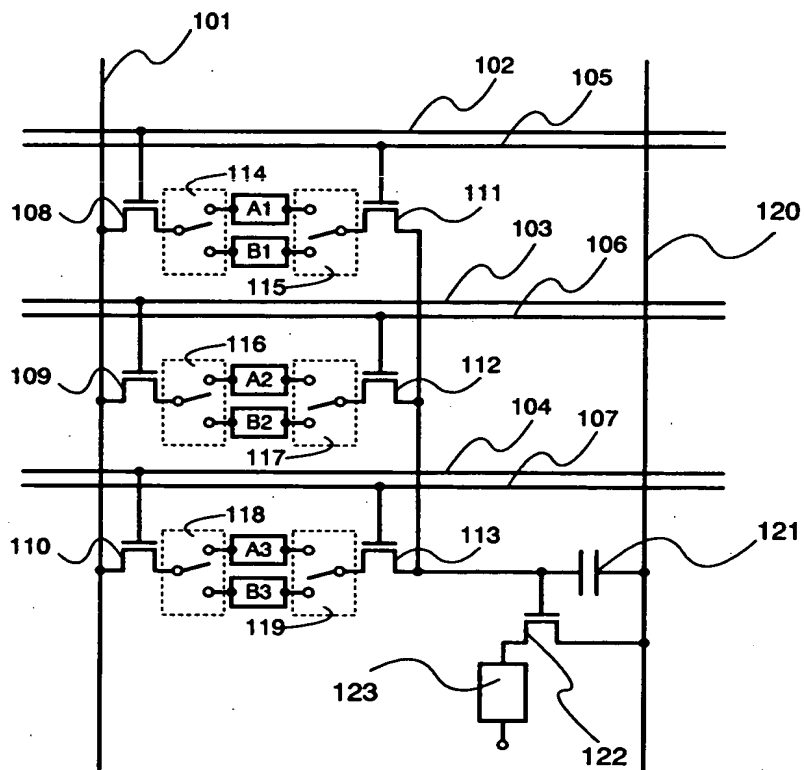
【図 1 9】 従来の電気光学装置の画素部の拡大図。

【図 2 0】 電気光学装置における時間階調方式の一般的な例のタイミング

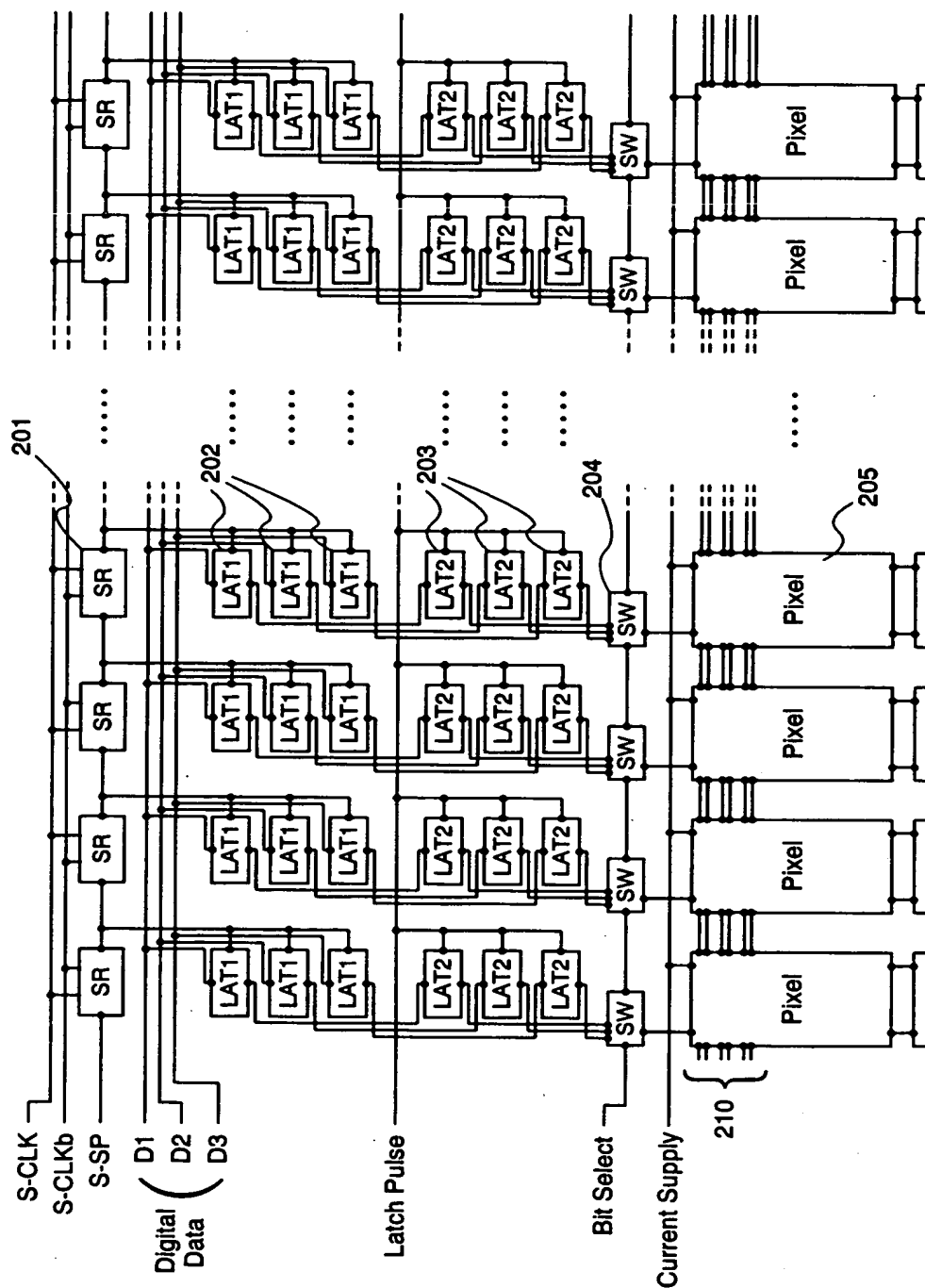
を示す図。

【書類名】 図面

【図 1】

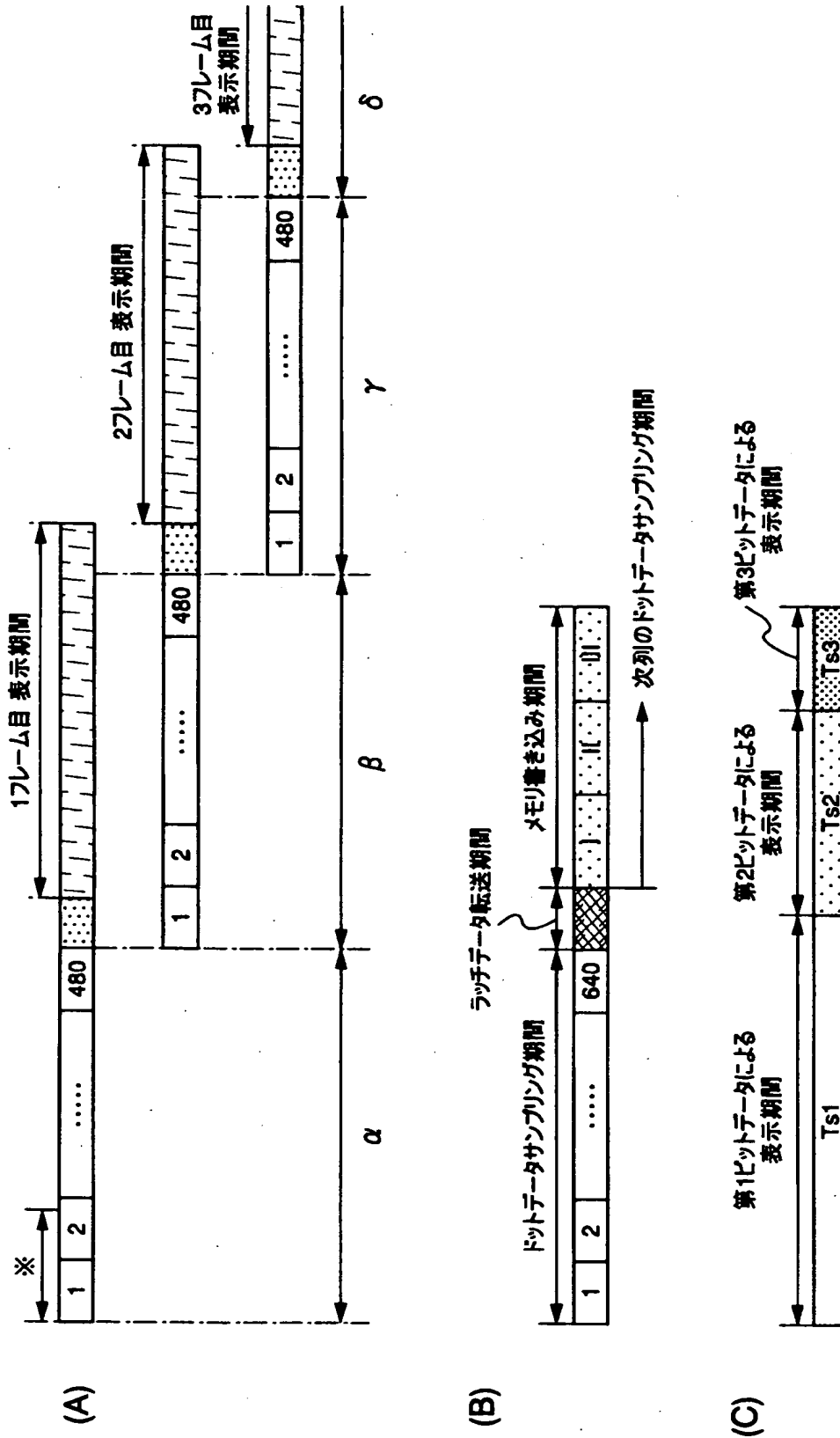


【図 2】



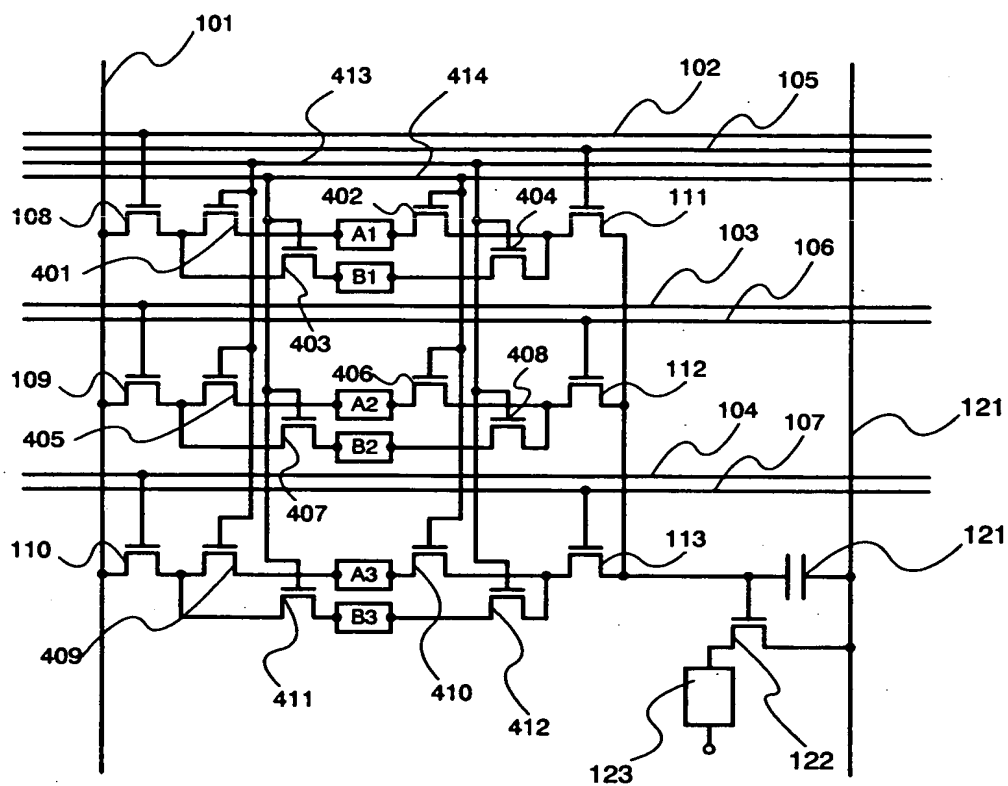


【図 3】

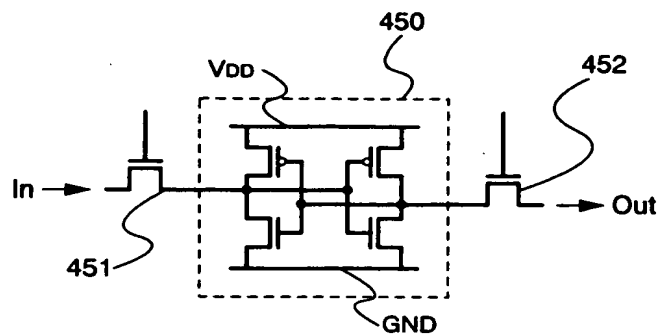


【図 4】

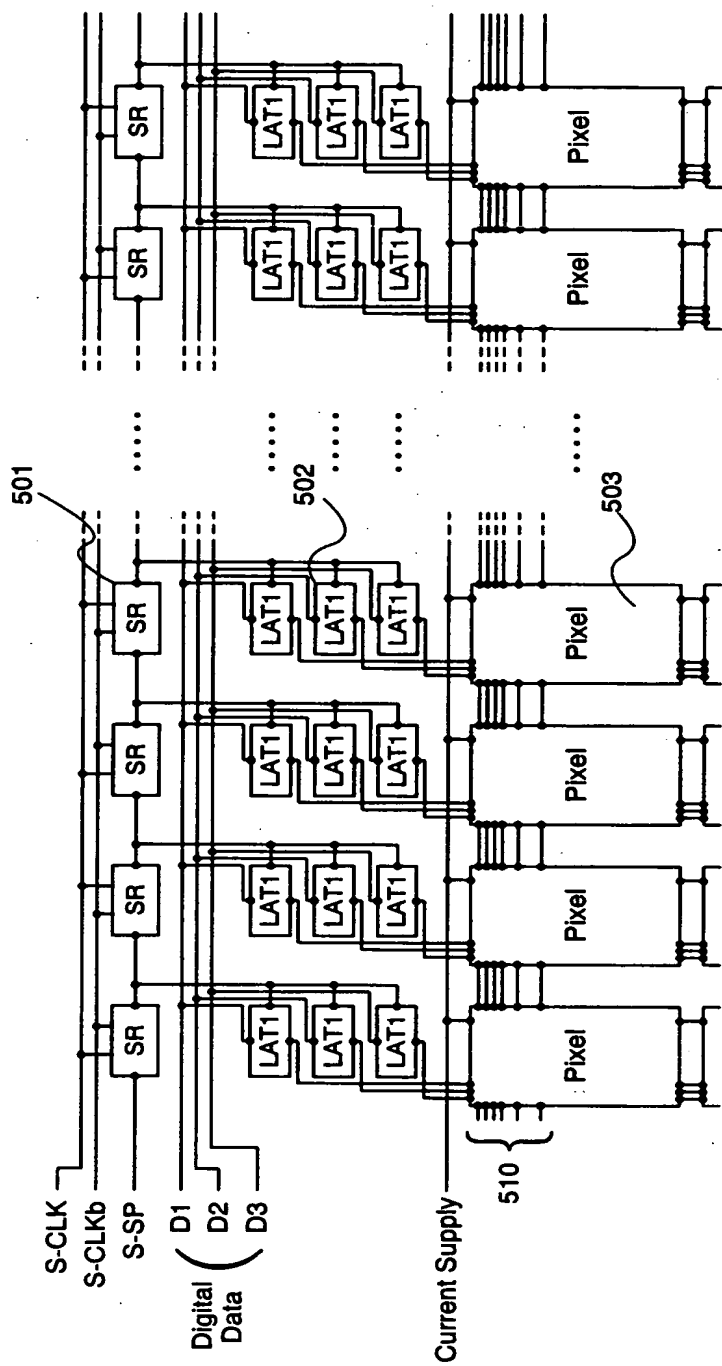
(A)



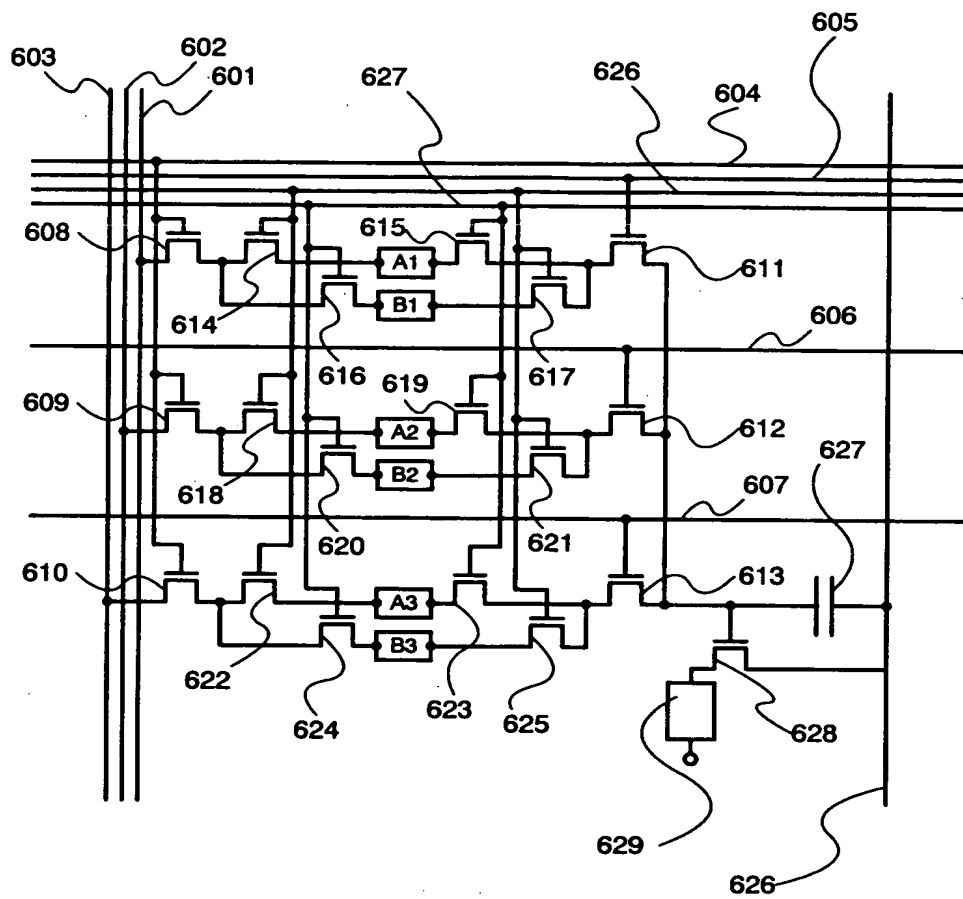
(B)



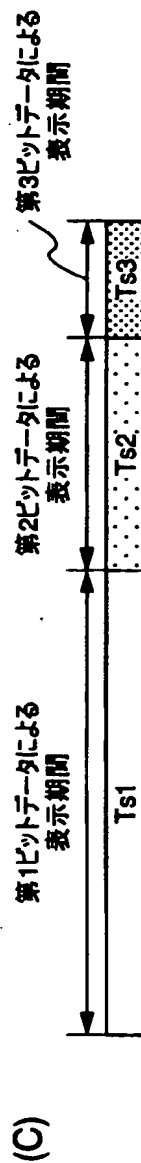
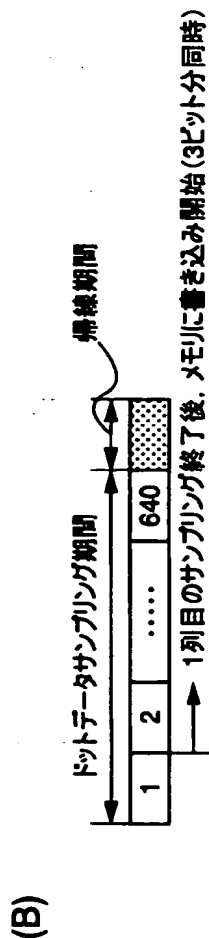
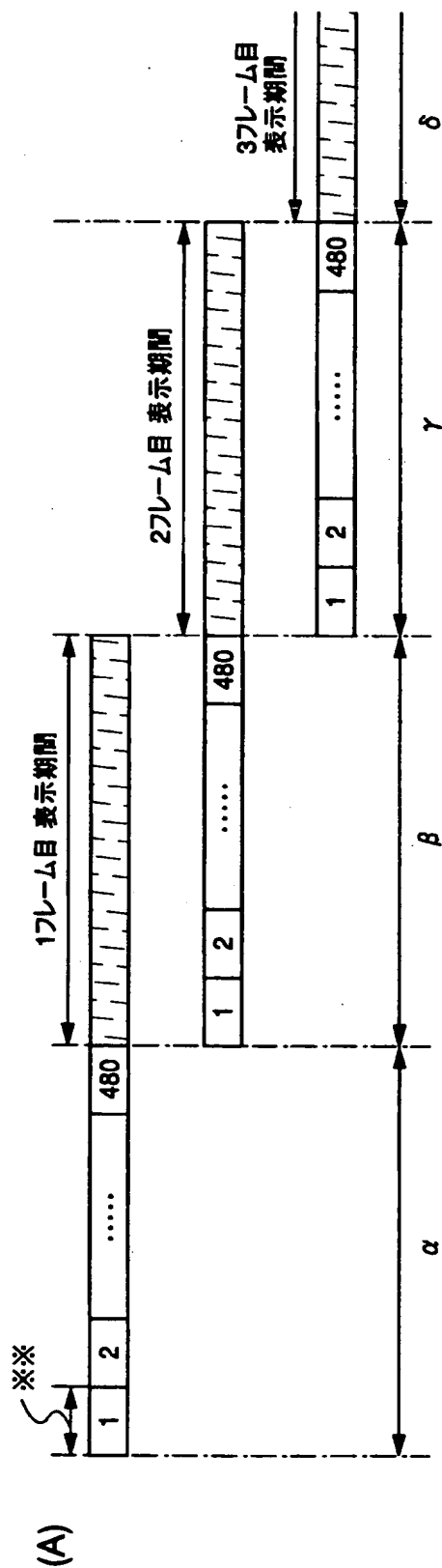
【図 5】



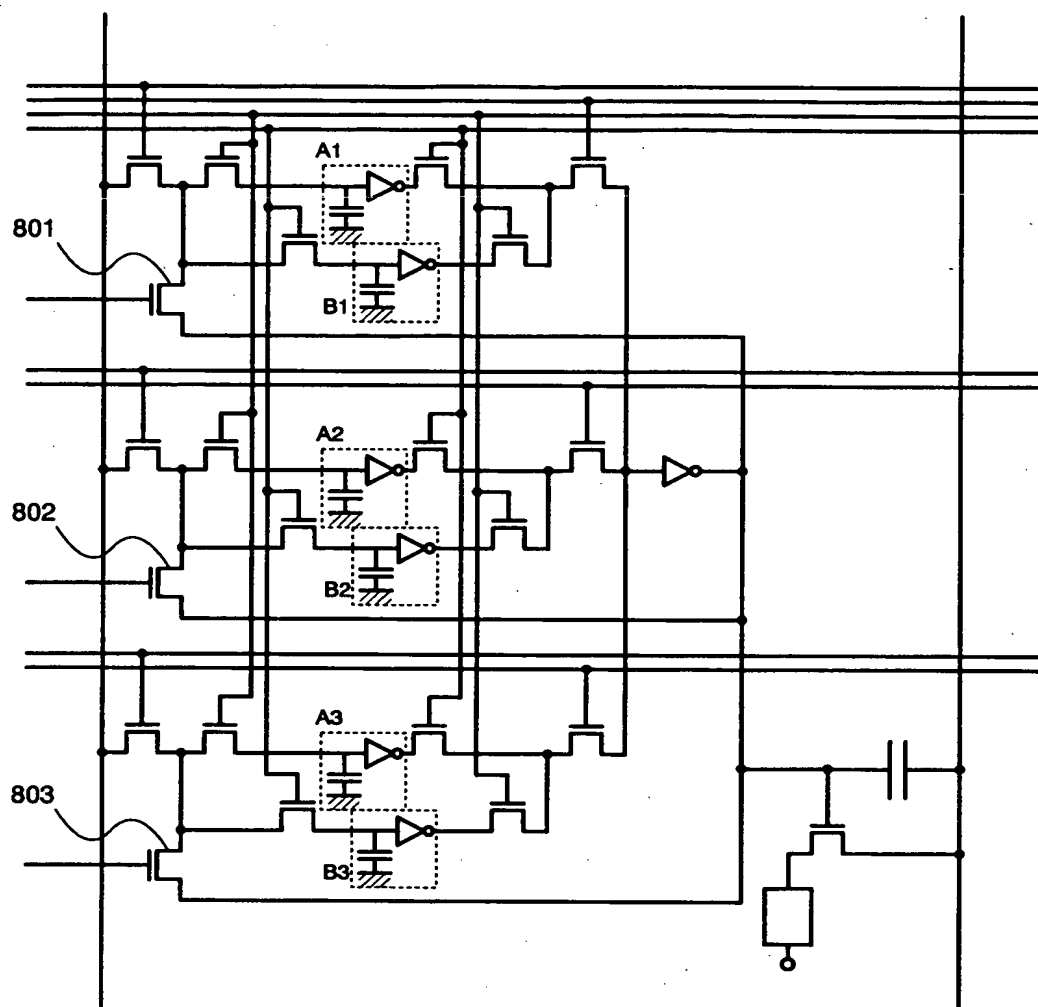
【図 6】



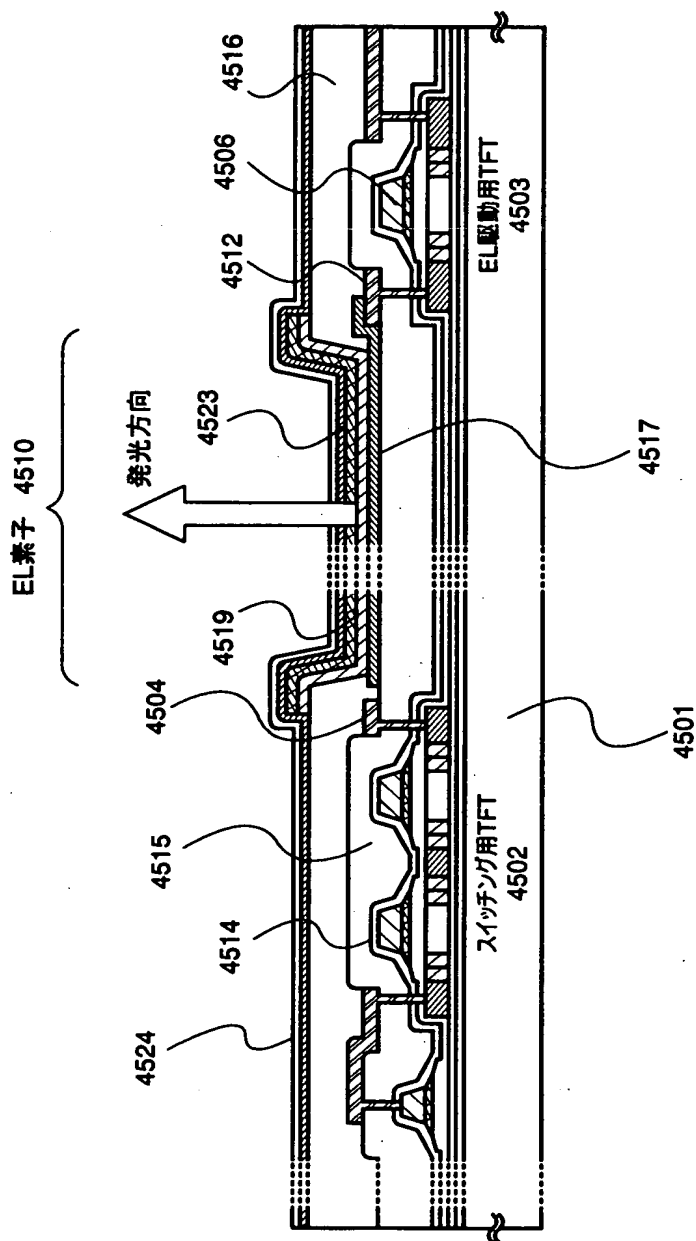
【図 7】



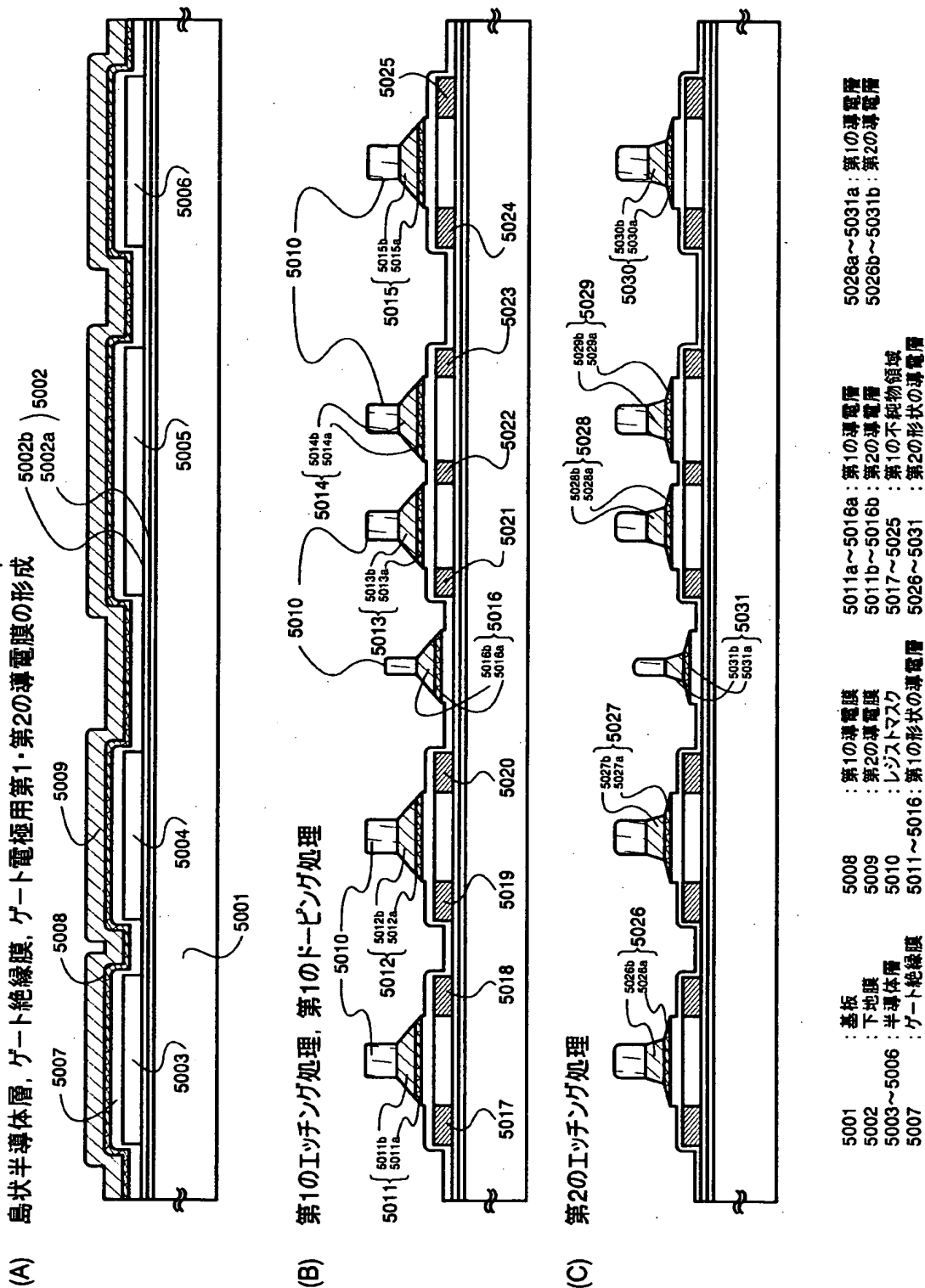
【図 8】



【図 9】



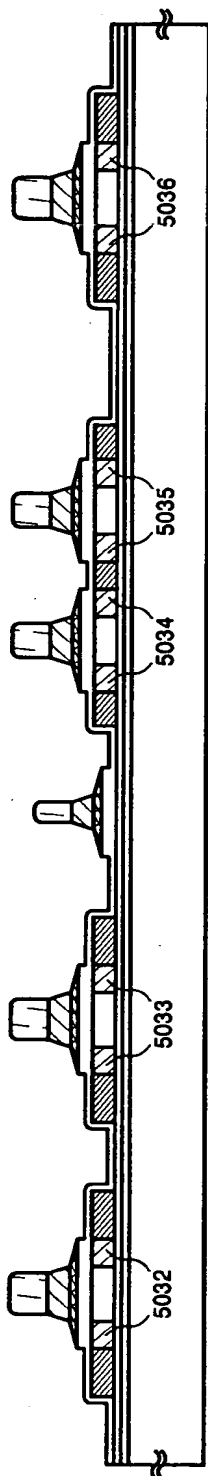
【図10】



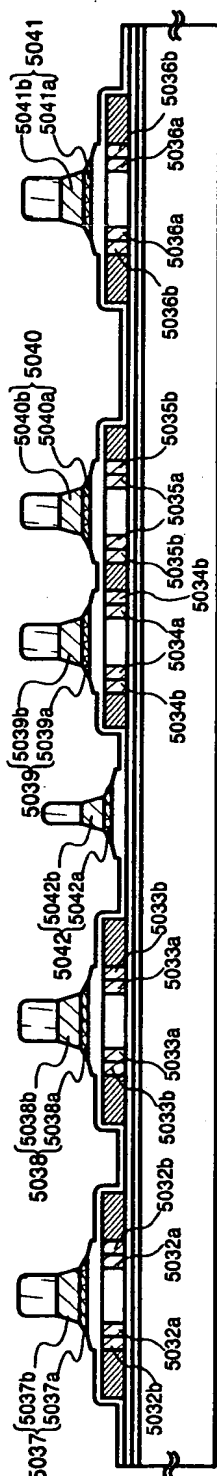


【図 11】

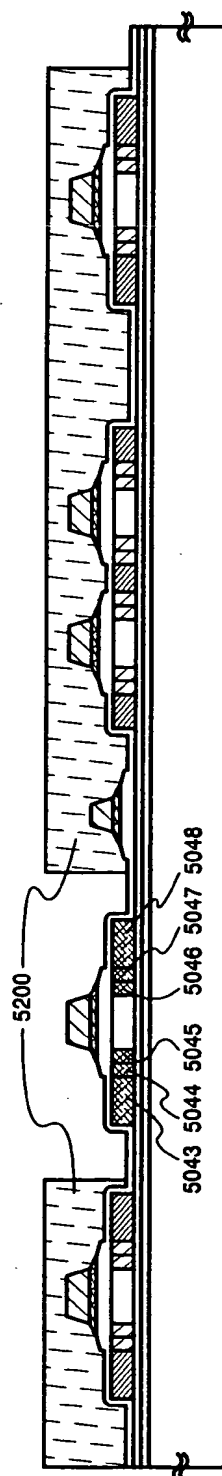
(A) 第2のドーピング処理



(B) 第3のエッチング処理



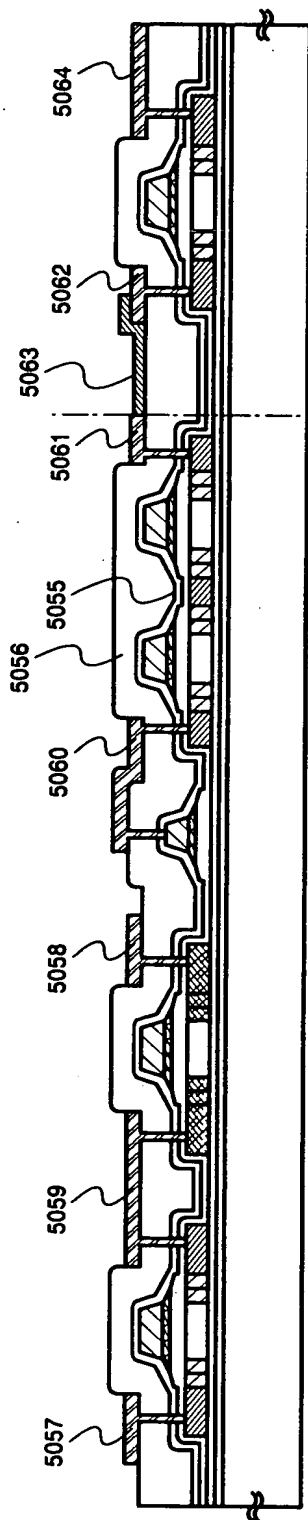
(C) 第3のドーピング処理



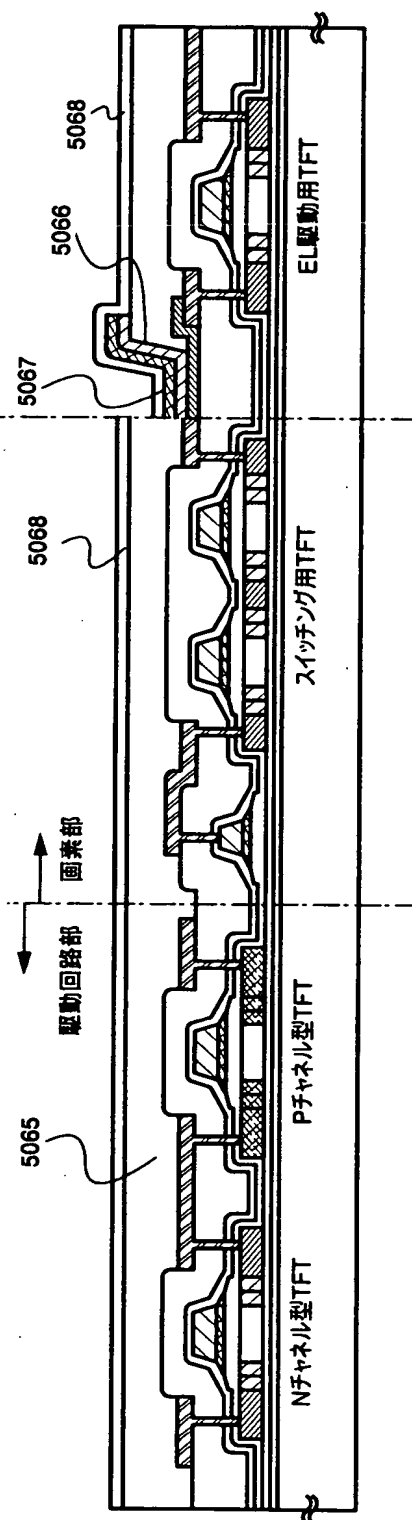
5032~5036 : 第3の不純物領域(エッチング前)  
 5032a~5036a : 第3の不純物領域(エッチング前)  
 5032b~5036b : 第2の不純物領域  
 5043~5048 : 第4の不純物領域  
 5200 : レジストマスク

【図 1 2】

(A) 第1, 第2の層間絶縁膜, 配線, 画素電極形成

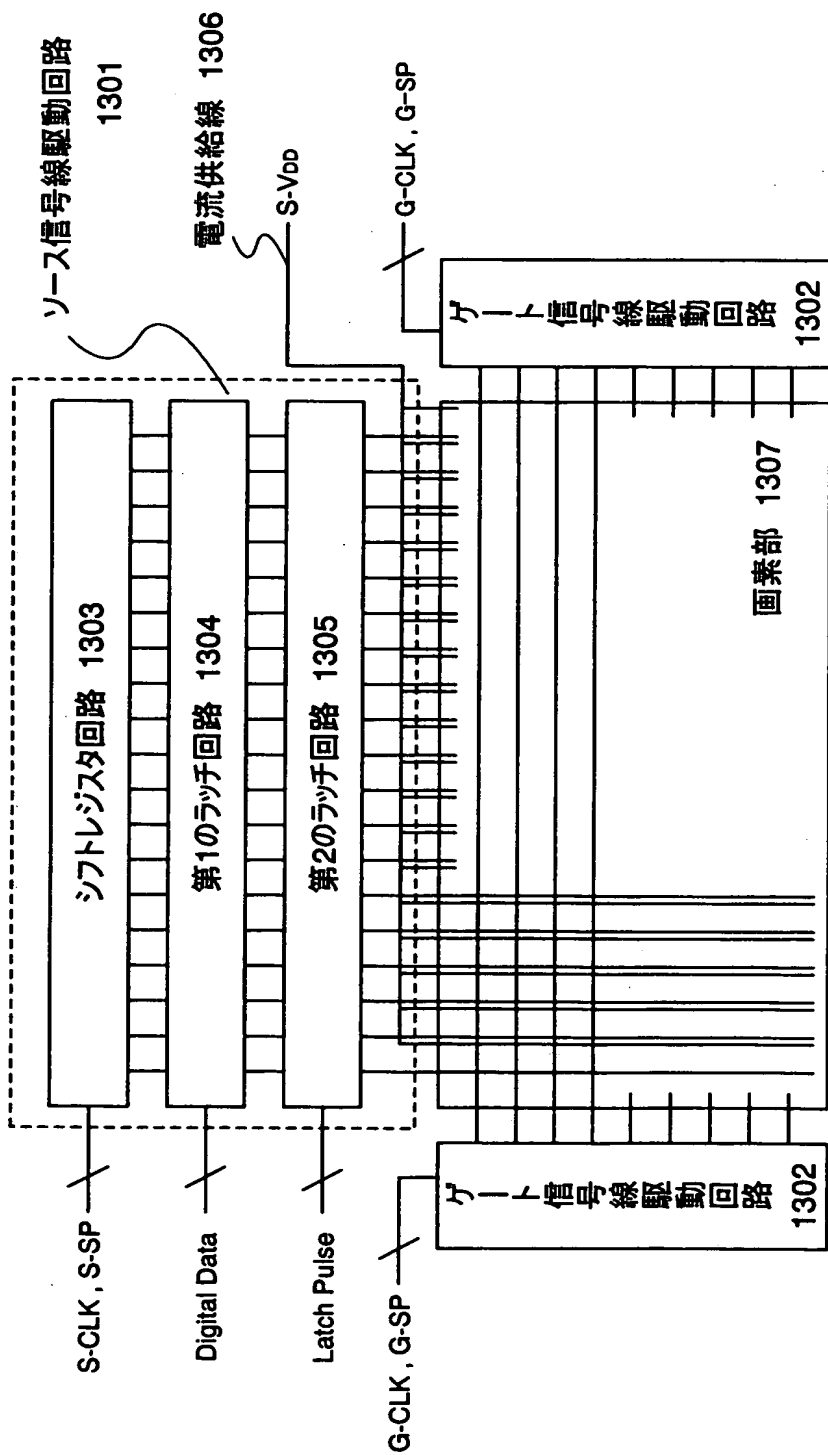


(B) 第3の層間絶縁膜, EL層, 陰極電極, パッシベーション膜形成

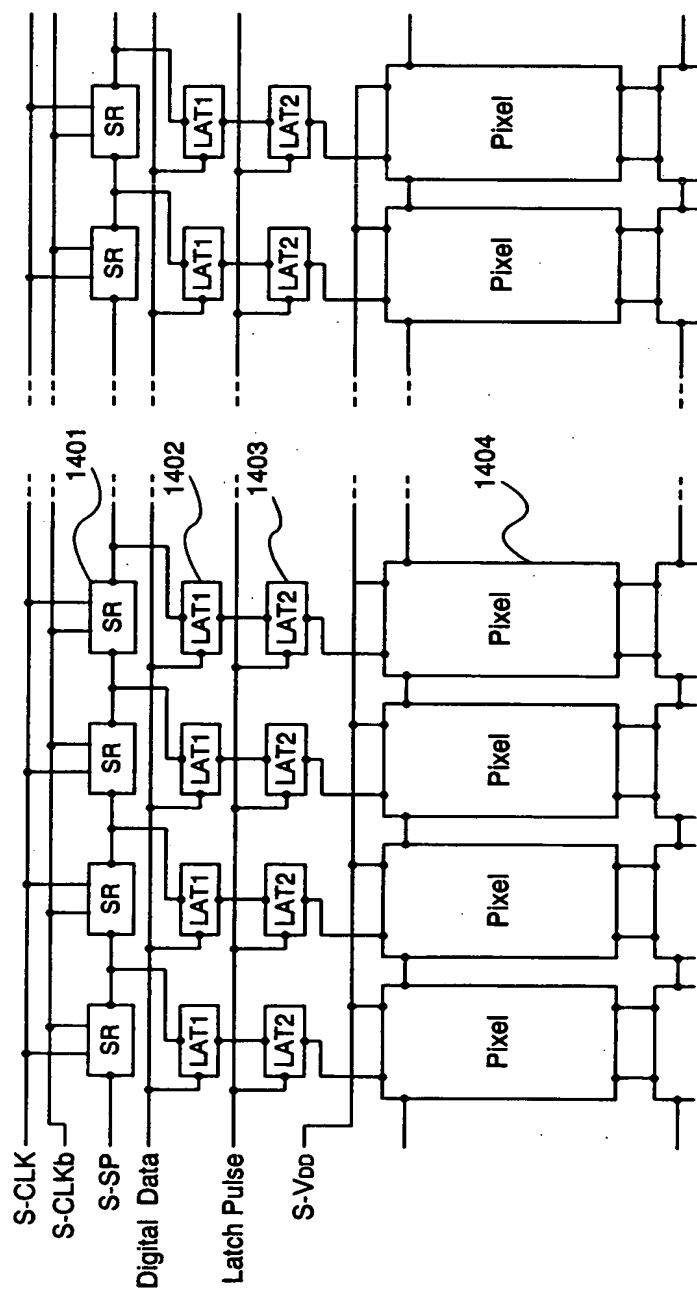


- |           |            |           |            |      |             |
|-----------|------------|-----------|------------|------|-------------|
| 5055      | : 第1の層間絶縁膜 | 5060~5062 | : 接続配線     | 5066 | : EL層       |
| 5056      | : 第2の層間絶縁膜 | 5063      | : 画素電極     | 5067 | : 陰極        |
| 5057~5058 | : ソース配線    | 5064      | : 電流供給線    | 5068 | : パッシベーション膜 |
| 5059      | : ドレイン配線   | 5065      | : 第3の層間絶縁膜 |      |             |

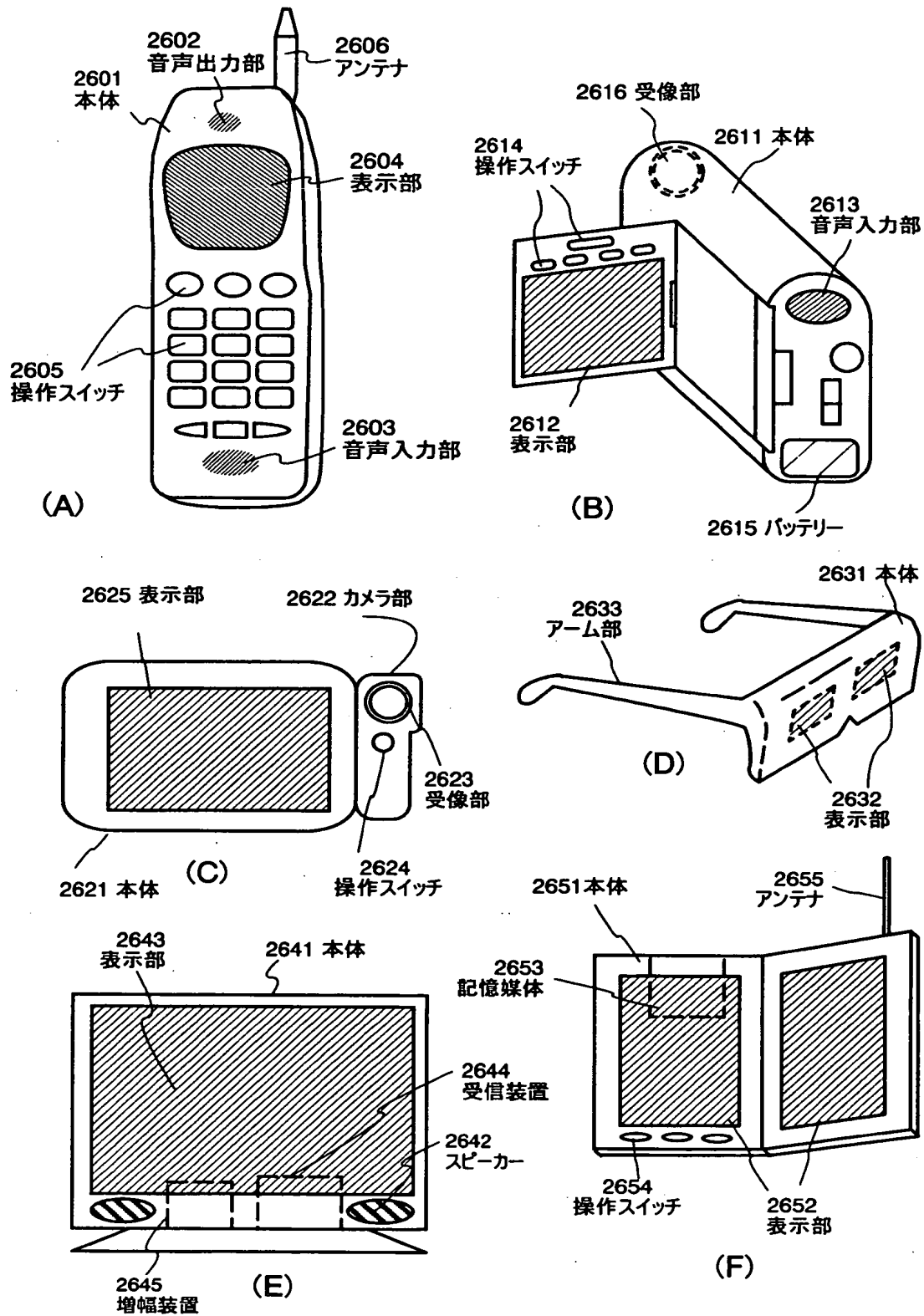
【図 13】



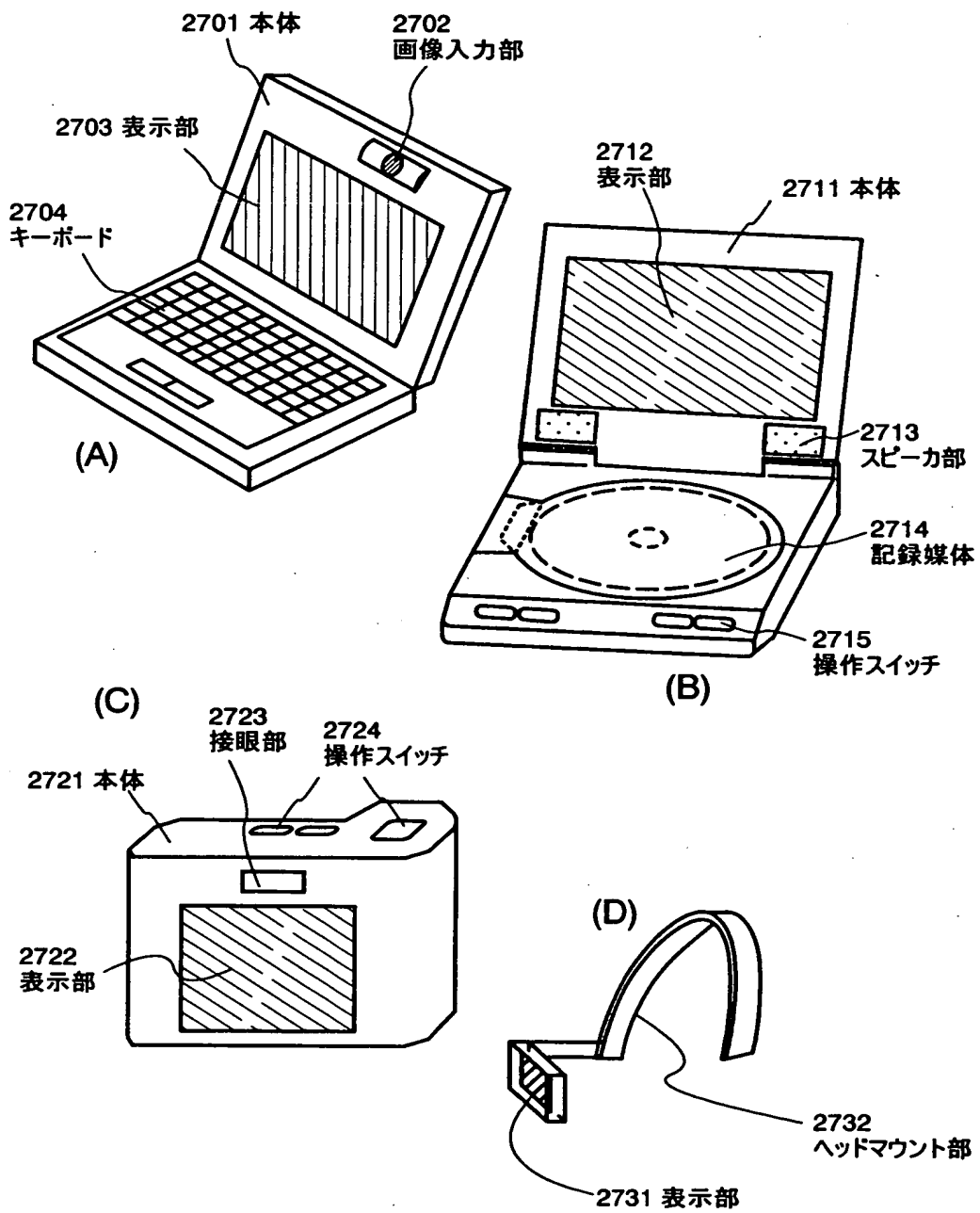
【図 14】



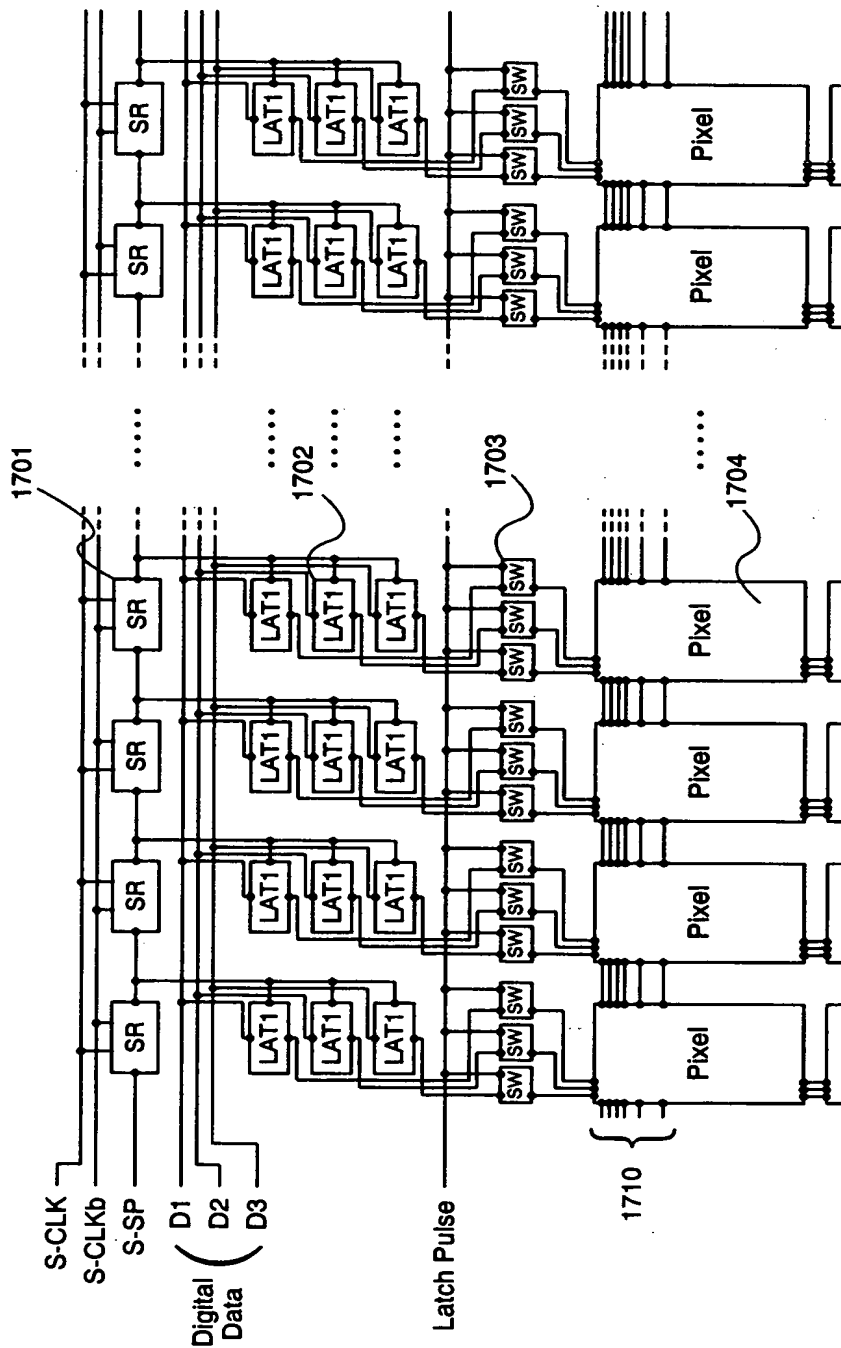
【図 15】



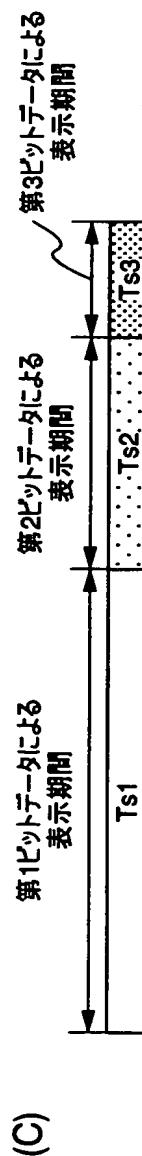
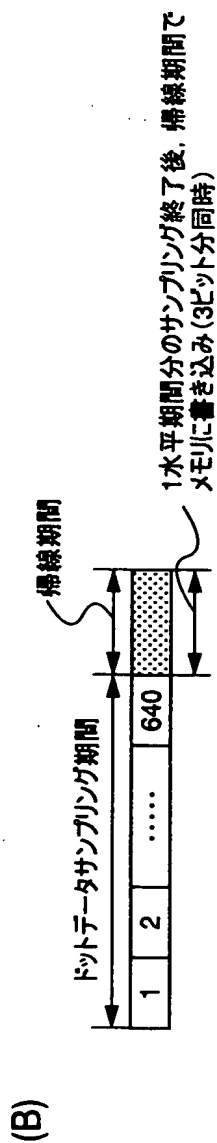
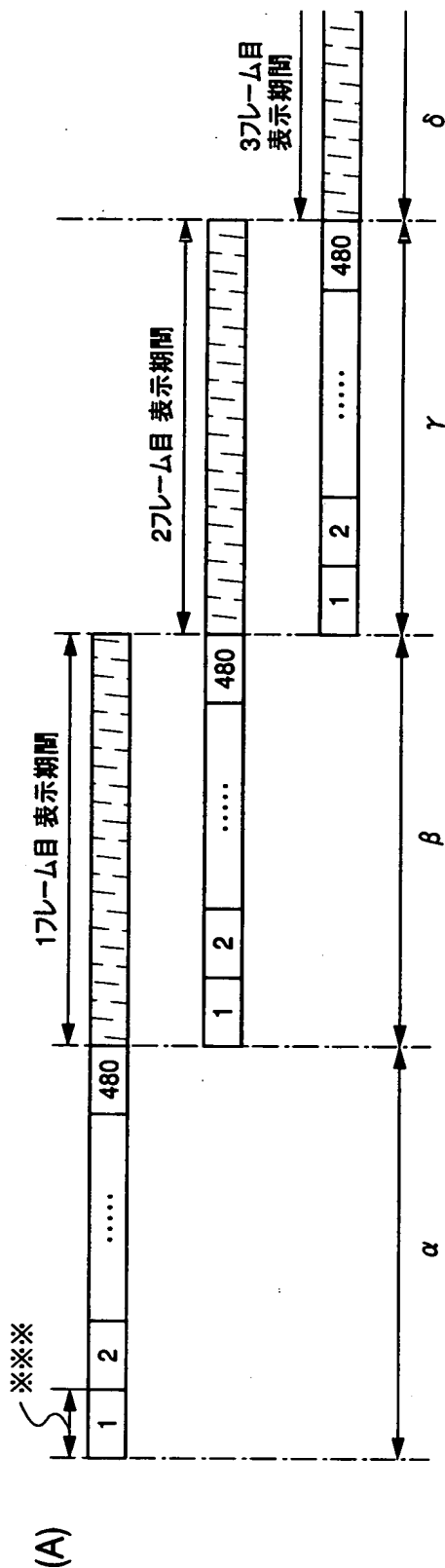
【図 16】



【図 17】



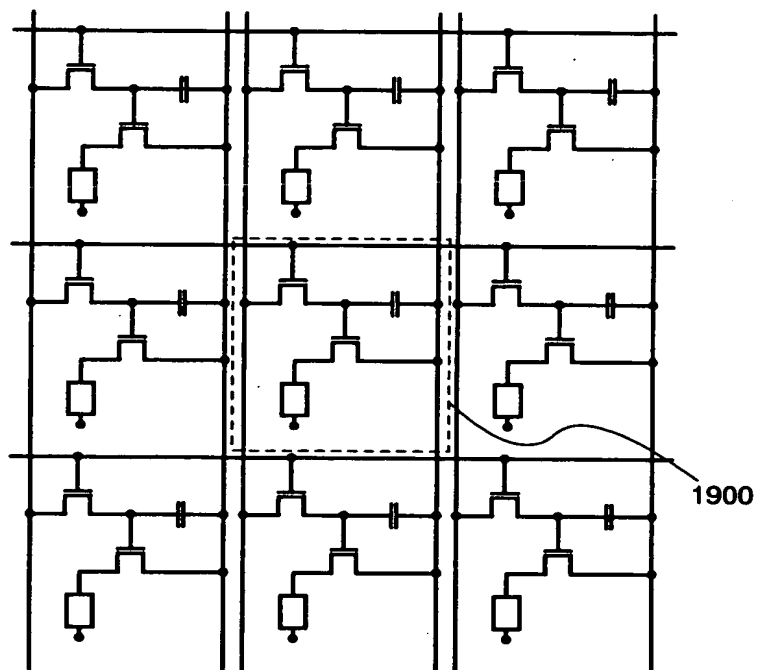
【図 1 8】



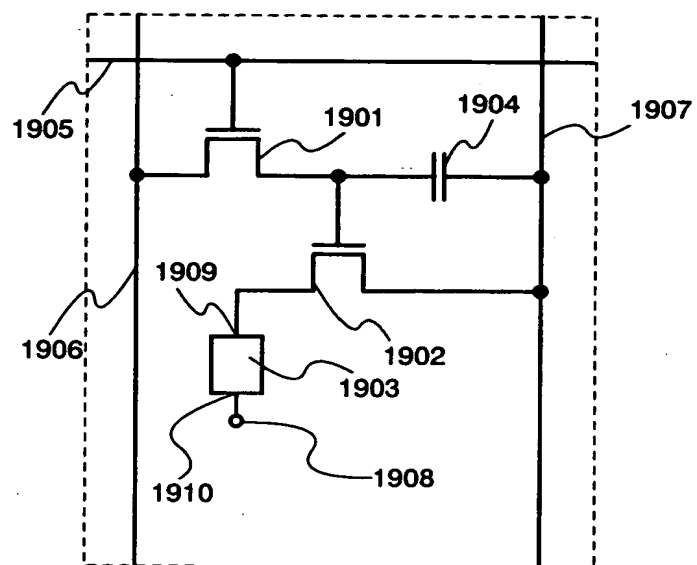


【図 1 9】

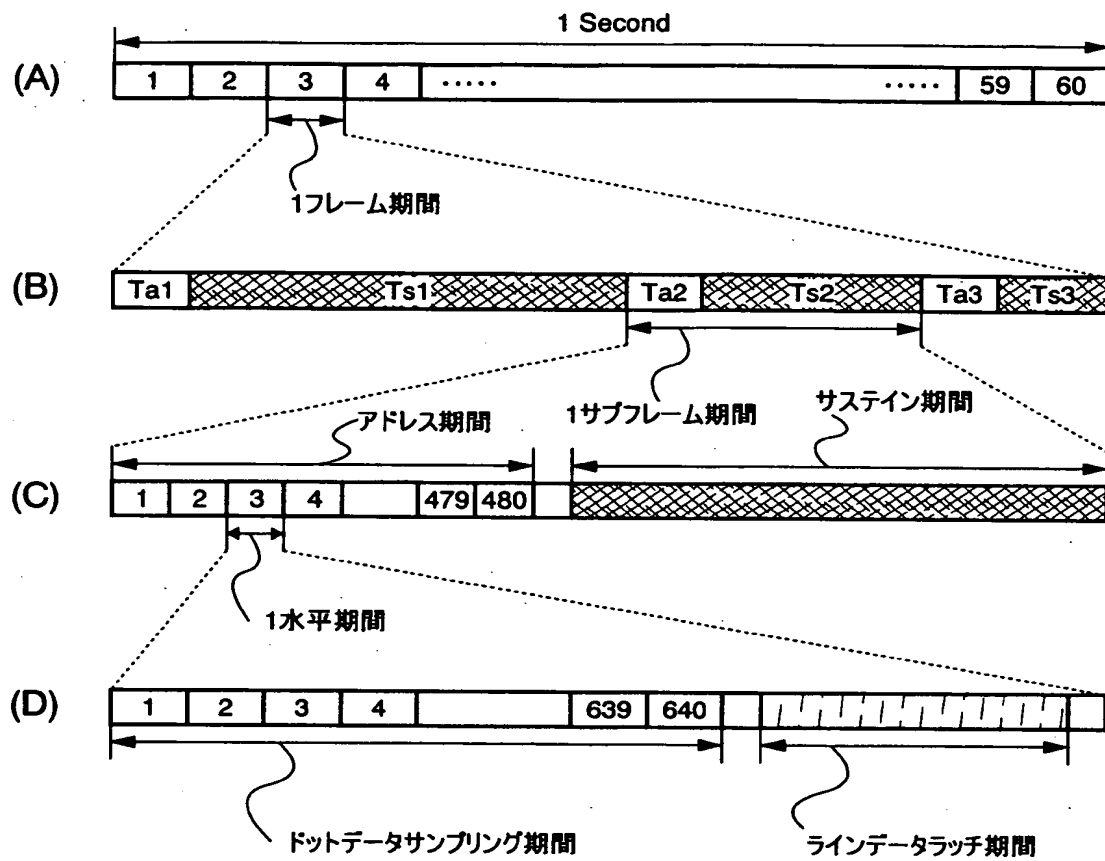
(A)



(B)



【図 2 0】



【書類名】 要約書

【要約】

【課題】 新規の回路構成を有する駆動回路および画素を用いて、低消費電力化が可能な電気光学装置の提供を課題とする。

【解決手段】  $n$ ビット ( $n$ は自然数) のデジタル映像信号を用いて映像表示を行う電気光学装置において、1画素あたり  $n \times m$  個 ( $m$ は自然数) の記憶回路を内蔵することにより、 $m$ フレーム分のデジタル映像信号を画素内に記憶する機能 (例示した図においては  $n = 3$ 、 $m = 2$  としている例で、記憶回路  $A1 \sim A3$ 、 $B1 \sim B3$  によって3ビット  $\times$  2フレーム分を記憶する) を有する。よって、静止画像の表示は、一旦記憶回路に記憶されたデジタル映像信号を繰り返し読み出して各フレームで表示を行うことにより、その間のソース信号線駆動回路の駆動を停止する。もって電気光学装置の消費電力を低減する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**